

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-58777

(P2000-58777A)

(43) 公開日 平成12年2月25日 (2000.2.25)

(51) Int.Cl.⁷

識別記号

F I

マークシート (参考)

H 0 1 L 27/108

H 0 1 L 27/10

6 5 1

5 F 0 8 3

21/8242

審査請求 未請求 請求項の数19 O L (全 9 頁)

(21) 出願番号 特願平10-363259

(22) 出願日 平成10年12月21日 (1998.12.21)

(31) 優先権主張番号 9 8 P 3 2 6 3 8

(32) 優先日 平成10年8月12日 (1998.8.12)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李鍾鎭

大韓民国京畿道軍浦市山峰洞極東アパート
966棟604号

(72) 発明者 金榮寛

大韓民国京畿道城南市盆唐区瑞▲けん▼洞
87番地ハンシンアパート112棟1501号

(74) 代理人 100072349

弁理士 八田 幹雄 (外3名)

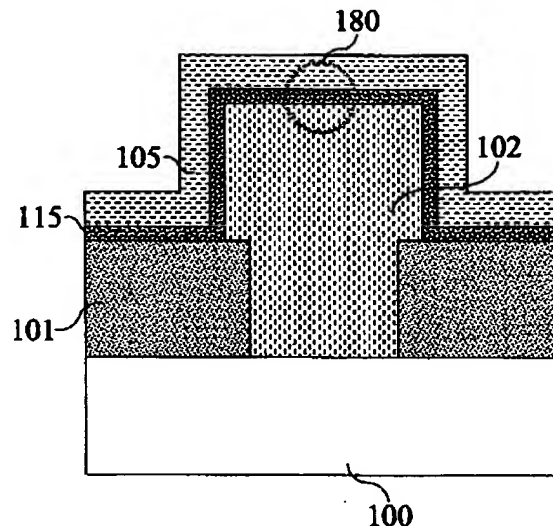
最終頁に続く

(54) 【発明の名称】 原子層蒸着方法で形成したアルミナ/アルミニウムナイトライド複合誘電体膜を持つキャパシタとその製造方法

(57) 【要約】

【課題】 半導体装置及びその製造方法に関し、特にS I S構造の電極形態を持つ、固有全体薄膜を具備したD R A Mキャパシタ及びその製造方法を提供する。

【解決手段】 本発明の半導体装置は、原子層蒸着 (A L D) 方式を利用し、アルミナ/アルミニウムナイトライド (A l ₂ O₃ / A l N) 又は、アルミニウムナイトライド/アルミニウムオキシ (oxy) ナイトライド (A l N / A l O N) の複合誘電体薄膜を電極間誘電体物質で形成することにより、導電性ポリシリコンをキャパシタ電極に使用しても、電極との置換等、化学的反應を起こすことがなく、良好なステップカバーリッジを持ち、薄膜内の残留問題を最小化した高誘電体薄膜を具備するD R A Mキャパシタを具現する。また、これと同様に、本発明のD R A M電荷蓄積用キャパシタは、良好な酸化力と優秀な絶縁特性を持つ。



【特許請求の範囲】

【請求項1】 半導体基板上に導電層を形成する段階；上記の導電層を各セル単位に限定されるようにパターンニングし、導電層パターンを形成する段階；上記のパターン形成された導電層上部に原子層蒸着（ALD）方式でアルミナ（ Al_2O_3 ）層とアルミニウムナイトライド（ AlN ）層の複合誘電体膜を形成する段階；および上記複合誘電体膜上部に導電層を形成する段階を具備すること特徴とするDRAMキャパシタ製造方法。

【請求項2】 上記の複合誘電体膜を形成する段階は、トリメチルアルミニウム（TMA）をソースガスとして基板温度を300～450℃に維持し、原子層蒸着（ALD）方式でアルミナ層とアルミニウムナイトライド層を交代で反復し、複合誘電体膜を形成する段階を含む請求項1に記載のDRAMキャパシタ製造方法。

【請求項3】 上記の複合誘電体膜を形成する段階は、アルミニウムクロライドをソースガスとし、基板温度を450～600℃に維持し、原子層蒸着（ALD）方式でアルミナ層とアルミニウムナイトライド層を交代で反復して複合誘電体膜を形成する段階を含む請求項1に記載のDRAMキャパシタ製造方法。

【請求項4】 上記の複合誘電体膜を形成する段階は、選定されたソースガス流入順序により、原子層蒸着（ALD）方式でアルミナ層とアルミニウムナイトライド層を交代で反復し、所定の厚さの複合誘電体膜を形成する段階を含む請求項1に記載のDRAMキャパシタ製造方法。

【請求項5】 上記の選定されたソースガス流入順序は、トリメチルアルミニウム（TMA）ソースと H_2O ソース及び、 NH_3 ソースを所定の時間の間、ガスパルス形態で流入させ、上記のTMAソース流入、 H_2O ソース流入及び、 NH_3 ガスソース流入の中間にパージのための不活性気体を流入させる請求項4に記載のDRAMキャパシタ製造方法。

【請求項6】 上記のアルミニウムナイトライド層と上記のアルミナ膜の複合誘電膜を交代で形成する段階は、TMAソース、パージ、 H_2O ソース、パージ、TMAソース、パージ、 NH_3 ソース及び、パージの8段階を単位サイクルとし、上記の単位サイクルを反復する回数によって上記の所定の厚さを調節する請求項4に記載のDRAMキャパシタ製造方法。

【請求項7】 上記の選定されたソースガス流入順序は、アルミニウムクロライド（ AlCl_3 ）ソースと H_2O ソース及び、 NH_3 ソースを所定の時間の間ガスパルス形態で流入させ、上記アルミニウムクロライド（ AlCl_3 ）ソース流入、 H_2O ソース流入及び、 NH_3 ガスソース流入の中間にパージのための不活性気体を流入させる請求項4に記載のDRAMキャパシタ製造方法。

【請求項8】 上記のアルミニウムナイトライド層と上記アルミナ膜の複合誘電膜を交代で形成する段階は、ア

ルミニウムクロライド（ AlCl_3 ）ソース、パージ、 H_2O ソース、パージ、アルミニウムクロライド（ AlCl_3 ）ソース、パージ、 NH_3 ソース及び、パージの8段階を単位サイクルとして、上記の単位サイクルを反復する回数により、上記の所定の厚さを調節する請求項4に記載のDRAMキャパシタ製造方法。

【請求項9】 上記の不活性気体は、窒素（ N_2 ）、アルゴン（argon）（Ar）、又は、ヘリウム（He）のうち、いずれか一つである請求項4または請求項7に記載のDRAMキャパシタ製造方法。

【請求項10】 半導体基板上に導電層を形成する段階；上記の導電層を各セル単位に限定するようにパターンニングし、導電層パターンを形成する段階；上記のパターン形成された導電層上部に原子層蒸着（ALD）方式でアルミニウムナイトライド（ AlN ）層を形成する段階；上記のアルミニウムナイトライド層上部にアルミニウムオキシナイトライド（ AlON ）層を形成する段階；および上記のアルミニウムオキシナイトライド層上部に導電層を形成する段階を具備することを特徴とするDRAMキャパシタ製造方法。

【請求項11】 上記のアルミニウムオキシナイトライド（ AlON ）層を形成する段階は、上記のアルミニウムナイトライド（ AlN ）を酸素雰囲気中で熱処理する段階を含む請求項10に記載のDRAMキャパシタ製造方法。

【請求項12】 上記の半導体基板上に形成された上記導電層はドーピングされたポリシリコンを含む請求項1または請求項10に記載のDRAMキャパシタ製造方法。

【請求項13】 上記の導電層にパターンを形成する段階は、HSGスタックポリシリコン電極を形成する段階を含む請求項1または請求項10に記載のDRAMキャパシタ製造方法。

【請求項14】 上記の導電層にパターンを形成する段階は、円筒タイプスタックポリシリコン電極を形成する段階を含む請求項1または請求項10に記載のDRAMキャパシタ製造方法。

【請求項15】 電荷蓄積用キャパシタを持つDRAM装置において、半導体基板上に形成されたスタックポリシリコン電極と；上記のスタックポリシリコン電極上部に形成されたアルミナ層とアルミニウムナイトライド層の複合誘電体膜と；上記の複合誘電体膜上部に形成されたプレートポリシリコン電極で構成されたことを特徴とするDRAMキャパシタ。

【請求項16】 上記の複合誘電体膜は、アルミナ—原子層アルミニウムナイトライド—原子層の積層を基本単位として、選定された回数だけ反復的に積層された構造を具備する請求項15に記載のDRAMキャパシタ。

【請求項17】 電荷蓄積用キャパシタを持つDRAM

装置において、半導体基板上に形成されたスタックポリシリコン電極と；上記スタックポリシリコン電極上部に形成されたアルミニウムナイトライド層と；上記アルミニウムナイトライド層上部に形成されたアルミニウムオキシナイトライド（AlON）層と；上記アルミニウムオキシナイトライド層上部に形成されたプレートポリシリコン電極で構成されたことを特徴とするDRAMキャパシタ。

【請求項18】 上記のスタックポリシリコン電極は、HSGポリシリコン電極を含む請求項15または請求項17に記載のDRAMキャパシタ。

【請求項19】 上記のスタックポリシリコン電極は、円筒タイプスタックポリシリコン電極を含む請求項15または請求項17に記載のDRAMキャパシタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に高集積半導体DRAMの電荷蓄積用キャパシタ及びその製造方法に関する。

【0002】

【従来の技術】半導体基板上の単位面積当たり製造される半導体素子の集積度が増加するに伴い、データ蓄積用電荷キャパシタ（storage capacitor）が占有する空間も縮小している。したがって、与えられたデザインルール（design rule）の元で、許容された空間内に大容量のキャパシタンスを持つ電荷蓄積用キャパシタを製作することが必要になる。

【0003】このように、許容された空間内で、高いキャパシタンス値を持つ電荷蓄積用キャパシタを製作するために、半導体業界では、電荷蓄積用キャパシタの有効面積を極大化させる方法、又は、誘電率が大きい物質を電極間の絶縁物質に使用する方法などを基本とし、新しい電荷蓄積用キャパシタが開発されている。

【0004】電荷蓄積用キャパシタの有効面積を極大化させるための一技術として、ファザン（Fazan）等は、アメリカ合衆国特許第5,278,091号において、スタック構造の下部電極上にHSG（hemispherical grain）シリコン薄膜を形成することにより、電荷蓄積用キャパシタのキャパシタンスを増大させる技術を開示している。

【0005】また、キタワ（T.Kittawa）などは、1992年度 International Conference on Solid State Devices and Materials学会論文要約集第90頁、92頁に、タンタル（tantalum）酸化膜（ Ta_2O_3 ）のような高誘電体膜を使用した256MビットDRAMの製造方法に関する技術を開示している。タンタル酸化膜またはBST（ $Ba_xSr_{1-x}TiO_3$ ）物質等は、誘電定数が大きいため、大容量のキャパシタを製造することが期待されているが、上記高誘電体膜を利用し、DRAMキャパシタを製作するためには多くの克服しな

ればならない工程上の問題点がある。すなわち、良好なステップカバレッジ（step coverage）を持つタンタル酸化膜を製造する為に、表面運動領域（surface kinetic regime）の範囲である低温（low temperature）で化学気相蒸着方式（CVD；chemical vapor deposition）で薄膜を形成することにより、酸素欠乏問題及びハイドロカーボン（hydrocarbon）の薄膜内の残留問題、結晶性低下等による誘電率劣化現象、絶縁特性不良などの問題点を引き起こす可能性がある。

【0006】これと同様に、タンタル酸化膜の漏洩電流及び誘電率劣化などの問題点を解決するための手段として、紫外線オゾン（UV O_3 ）及び高温乾式酸素アニリング（dry O_2 anneal）などの工程が使用されている。すなわち、乾式酸素アニリングを通してタンタル酸化膜下部に生成される酸化膜は、タンタル酸化膜の絶縁特性を向上させ、グレイン境界面（grain boundary）の絶縁性がおもわしくない所では、相対的に酸素の拡散が促進され、酸化膜が一層厚く形成されるので、漏洩電流問題を改善できるようになる。

20 【0007】一方、BST誘電体は、優秀な絶縁特性を確保するために、スコットキー障壁（Schottky barrier height）の大きい金属電極の採用が必要である。また、金属電極とポリシリコンの間にオーミック接触（ohmic contact）のための層、及び電極とポリシリコン間の化学的反応を防止するためのバリアメタル（barrier metal）の採用が必須である。

30 【0008】上記のBST誘電物質は、キャパシタの上下部電極形成のため、MIM（metal insulator metal）構造を基本としており、前述したタンタル酸化膜は、MIS（metal insulator semiconductor）又はMIM構造を採用しているため、上記高誘電物質を高集積DRAM工程に適用する為には、既存のシリコン酸化膜（ SiO_2 ）及びONO（oxidenitrideoxide）絶縁膜に適用された、ポリシリコンを利用したSIS（semiconductor insulator semiconductor）構造が適用出来なくなる工程上の負担が発生するようになる。

【0009】

40 【発明が解決しようとする課題】キャパシタの面積を増加させるための一手段として、当業界では、キャパシタの高さを増大させる方法が使われているが、図1を参照すればキャパシタの半径を減少させるほど、キャパシタの高さの増加による面積増加比率が増し、同じ容量のキャパシタを製作するために、等価酸化膜の厚さ（equivalent T_{ox} ）を薄くしなければならないことが分かる。したがって、従来のONO誘電体膜より薄い等価酸化膜の厚さ（equivalent T_{ox} ）を持つ構造に対しても、良好な絶縁特性を持つ電荷蓄積用キャパシタの開発が必要となる。

50 【0010】また、従来の半導体DRAM工程に採用されている導電性ポリシリコンを下部電極に継続して使用

しても、電極間誘電体物質との置換などの化学的反応を起こさず、良好なステップカバレッジ特性を見せる高誘電率薄膜を具備したキャパシタの開発が高集積DRAM製造のために要求される。

【0011】したがって、本発明の第1の目的は、高集積半導体DRAM工程に適用することができる電荷蓄積用キャパシタ及びその製造方法を提供することにある。

【0012】本発明の第2の目的は、上記第1の目的に加えて、大容量のキャパシタンスを持ちながらも、下部電極で導電性シリコンを使用することができ、良好な特性を持つ高集積DRAM電荷蓄積用キャパシタ及びその製造方法を提供することにある。

【0013】本発明の第3の目的は、上記第1の目的に加えて、良好な酸化力と優秀な絶縁特性を持ち、ハイドロカーボンの薄膜内の残留問題を最小化した、高誘電率の誘電体薄膜を具備した高集積DRAM電荷蓄積用キャパシタ及びその製造方法を提供することにある。

【0014】本発明の第4の目的は、上記第1の目的に加えて、従来のスタック (stacked) 型電荷蓄積用キャパシタの構造を変更することなく、後続の熱処理工程においても、下部電極物質のポリシリコンと反応することなく、安定した高誘電率誘電体膜を具備した高集積DRAM電荷蓄積用キャパシタ及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】上記の目的を達成するために、本発明は、半導体基板上に導電層を形成する段階；上記の導電層を各セル単位で限定されるようにパターンニングして導電層パターンを形成する段階；上記パターン形成された導電層上部に原子層蒸着 (atomic layer deposition; ALD) 方式でアルミナ (Al_2O_3) 層とアルミニウムナイトライド (AlN) 層の複合誘電体膜を形成する段階；および上記の複合誘電体膜上部に導電層を形成する段階を具備することを特徴とするDRAMキャパシタ製造方法を提供する。

【0016】本発明の別の目的を達成するために、本発明は、半導体基板上に導電層を形成する段階；上記の導電層を各セル単位に限定するようにパターンニングし、導電層パターンを形成する段階；上記のパターン形成された導電層上部に原子層蒸着 (ALD) 方式でアルミニウムナイトライド (AlN) 層を形成する段階；上記のアルミニウムナイトライド層上部にアルミニウムオキシナイトライド (AlON) 層を形成する段階；および上記のアルミニウムオキシナイトライド層上部に導電層を形成する段階を具備することを特徴とするDRAMキャパシタ製造方法を提供する。

【0017】本発明のその他の目的を達成するために、本発明は、電荷蓄積用キャパシタを持つDRAM装置において、半導体基板上に形成されたスタックポリシリコン電極と；上記スタックポリシリコン電極上部に形成さ

れた酸化アルミニウム層とアルミニウムナイトライド層の複合誘電体膜と；上記複合誘電体膜上部に形成されたプレートポリシリコン電極で構成されることを特徴とするDRAMキャパシタを提供する。

【0018】本発明のその他の目的を達成する為に、本発明は、電荷蓄積用キャパシタを持つDRAM装置において、半導体基板上に形成されたスタックポリシリコン電極と；上記のスタックポリシリコン電極上部に形成されたアルミニウムナイトライド層と；上記のアルミニウムナイトライド層上部に形成されたアルミニウムオキシナイトライド (AlON) 層と；上記のアルミニウムオキシナイトライド層上部に形成されたプレート (plate) ポリシリコン電極で構成されることを特徴とするDRAMキャパシタを提供する。

【0019】

【発明の実施の形態】以下、本発明の電荷蓄積用DRAMキャパシタ及びその製造方法の好適な実施例を、添付図面を参照して詳細に説明する。

【0020】図2～4は、本発明の第1実施例に従い、DRAMキャパシタの製造方法を表す工程順序図である。図2を参照すると、まず半導体基板100上にシリコン酸化膜 (SiO_2) 101が形成されており、電荷蓄積用キャパシタを構成する下部電極として蓄積用ポリシリコン (storage polysilicon) 102が形成されている。そして、上記の蓄積用ポリシリコン102及び絶縁膜101の上部に、アルミナ (Al_2O_3) 103膜が形成されている。

【0021】実施例として、上記のアルミナ層103は、原子層蒸着 (atomic layer deposition; ALD) 方式で形成することができる。アルミナ103をDRAMキャパシタの誘電膜に使用するためには、ステップカバレッジが良好で誘電体薄膜内に残存する不純物が少なくなければならない。ところが、一般的に半導体業界で通用しているスパッターリング (sputtering) 方式で、上記のアルミナ膜103を形成する場合、誘電体薄膜内に残存する不純物は減少させることができるが、ステップカバレッジが不良で、3次元構造の誘電体薄膜に使用するには不適合である。また、上記アルミナ薄膜103を形成するための実施例として、化学気相蒸着 (chemical vapor deposition; CVD) 方式を適用できるが、前述のスパッターリング方式とは反対に、ステップカバレッジは優秀であるが、薄膜内の不純物の除去が難しい問題点がある。したがって、本発明の実施例のアルミナ薄膜103は、原子層蒸着 (ALD) 方式で形成することができる。このように、原子層蒸着方式で形成されたアルミナ膜は、非結晶質 (amorphous) 状態で、ステップカバレッジは100%に近づく程度に非常に良好である。

【0022】図3は、原子層蒸着方式で形成されたアルミナ膜上部にアルミニウムナイトライド層104を形成

する工程段階を表わす断面図であって、アルミナ層103とアルミニウムナイトライド層104を原子層蒸着方式でイン・シチュー (in-situ) するように反復的に形成することによって、 $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜を形成する。

【0023】図4は、プレートポリシリコン層105の形成工程を図示するもので、原子層蒸着方式で形成された $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜115上部に、ドーピングされたポリシリコンを蒸着することで、DRAMキャパシタの上部電極105を形成する。

【0024】図5は、図4の点線円180部位の拡大図で、アルミナ膜 (Al_2O_3) 103とアルミニウムナイトライド膜 (AlN) 104を原子層蒸着 (ALD) 方式により、一原子層 (one atomic layer) の大きさに交代で蒸着させることで、形成された $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜の断面を表わす拡大図である。

【0025】本発明の実施例として、アルミナ膜103とアルミニウムナイトライド膜104を各々1.1Åずつ、原子層蒸着 (ALD) 方式で数回反復して形成することにより、数十Åの厚さの $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜を形成することができる。

【0026】図6は、本発明の実施例として、原子層蒸着 (atomic layer deposition; ALD) 方式において、 $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜を形成するためのソースガス流入順序を表わす図面である。図6を参照し、 $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜を原子層蒸着方式で形成するためのガスパルシング (gas pulsing) 蒸着順序を説明すると、下記の通りである。

【0027】すなわち、チャンバーの圧力を一定に維持するために、常に、流入される雰囲気ガス503以外に、選定された (pre-determined) ソースガス流入順序により、トリメチルアルミニウム (TMA, trimethyl aluminum) ソース500と H_2O ソース501、 NH_3 ソース502は、一定時間の間ガスパルス形態で流入され、それぞれのソースガス流入の中間にパージ (purge or purging) 用不活性ガス504が流入される。

【0028】本発明の実施例として、雰囲気ガス及び、パージガスでアルゴン (argon) (Ar)、窒素 (N_2) またはヘリウム (He) 中のどれか一つを使用することができる。

【0029】図6を参照すると、TMAソース→パージ→ H_2O ソース→パージ→TMAソース→パージ→ NH_3 ソース→パージの8段階が、順次パルス形態でガスが流入する過程が、単位サイクルとして定義され、蒸着する $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜の厚さは、ガスパルシングする単位サイクル505の反復回数によって、正確に調節することができる。

【0030】すなわち、一度のガスパルシングサイクルを終了する度ごとに、 $\text{Al}_2\text{O}_3/\text{AlN}$ の複合誘電体膜は2.2Å (1.1Å厚の Al_2O_3 と1.1Å厚のAl

N) の厚さに蒸着される。ガスパルシングサイクルを反復すれば、その反復回数により、複合誘電体薄膜の厚さが比例的に増加するようになるので、望みの厚さの薄膜蒸着が可能となる。

【0031】本発明に従う実施例として、原子層蒸着方式で $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜を形成するためのソースガスであってTMA (trimethyl aluminum) ソースの代りにアルミニウムクロライド (aluminum chloride, AlCl_3) ソースを使用することができる。この時、原子層蒸着のためのガス流入段階は、アルミニウムクロライドソース→パージ→ H_2O ソース→パージ→アルミニウムクロライドソース→パージ→ NH_3 ソース→パージの8段階を基本単位とし、複合誘電体薄膜を形成する。

【0032】また、TMAソースを利用して上記の複合誘電体薄膜を形成する場合、300~450℃の蒸着温度で最適の特性を持つ薄膜を得ることができ、TMAソースの代りにアルミニウムクロライドソースを使用する場合には、450~600℃の蒸着温度を維持することにより、良質の複合誘電体薄膜を得ることができる。

【0033】一方、本発明の第1実施例によって形成されたアルミナ薄膜は、非結晶質 (amorphous) 状態で、ステップカバレッジは100%に近い値を持つ。実施例として、前述した方法で形成されたアルミナを酸素雰囲気ガスでアニリング (annealing) 工程を進行することで、薄膜の密度を増加させることができる。その一実施例として、本発明の第1実施例によって形成されたアルミナ薄膜を800℃で酸素アニリングを30分間実施した場合、薄膜の屈折率を波長633.0nmの光に対し1.640から1.692に増加させることができる。したがって、原子層蒸着方式で形成したアルミナ薄膜は、後続のアニリング工程の最適化を通じ、誘電膜の厚さの減少、誘電率増加及び、等価シリコン酸化膜の厚さ (T_{ox}) を最小化することが期待できる。

【0034】アルミナ薄膜は、シリコン酸化膜 (SiO_2) とシリコン窒化膜 (Si_3N_4) の複合誘電体膜に比べ、誘電率が大きい反面、シリコン酸化膜と同じファウラー・ノードハイム (Fowler-Nordheim) タイプのトンネル (漏洩) 電流メカニズムに起因する絶縁膜破壊 (dielectric breakdown) 特性が脆弱になりやすい。したがって、本発明の第1実施例に従い $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜を採用したDRAMキャパシタ装置は、原子層蒸着方式で蒸着しやすく、プール・フレンケル (Pool-Frenkel) トンネル漏洩電流メカニズムが見られるアルミニウムナイトライド (AlN) 物質をアルミナ (Al_2O_3) と交代で形成させることによって、高電界での絶縁膜破壊特性を改善させることができる。

【0035】図7は、本発明の第2実施例に伴うDRAMキャパシタの断面図である。図7を参照すると、半導体基板100上に形成されたシリコン酸化膜101及

び、半導体基板100上部に半球模様のグレーン(hemispherical grain;以下“HSG”という)を持つ下部電極用スタック(stacked)蓄積用ポリシリコン電極102が形成されている。

【0036】続いて、上記のスタック蓄積用ポリシリコン電極102上部に、アルミナ薄膜とアルミニウムナイトライド薄膜を、図6に表わすガスバールシング方式で、原子層蒸着をコントロールすることにより、半球模様の Al_2O_3/AlN 複合誘電体薄膜が形成される。

【0037】図8は、本発明の第3実施例に従うDRAMキャパシタの断面図である。図8を参照すると、半導体基板100上に形成されたスタックポリシリコン下部電極102は、表面積を増大させる為に、円筒形(cylindrical)模様をしており、上記の円筒形スタックポリシリコン下部電極102上部に、前述の原子層蒸着方式で Al_2O_3/AlN の複合誘電体薄膜を形成させることができる。図7及び図8の点線円180部位に対する拡大図は、図5を参照のこと。

【0038】図9～11は、本発明の第4実施例に従うDRAMキャパシタの形成方法を表わす工程順序図である。図9を参照すると、半導体基板100上にシリコン酸化膜101が形成されており、電荷蓄積用キャパシタを構成する下部電極として蓄積用ポリシリコン102が形成されている。そして、上記の蓄積用ポリシリコン102及び絶縁膜101上部に、アルミニウムナイトライド200が形成されている。実施例として、上記のアルミニウムナイトライド層200は、原子層蒸着方式で形成することができる。

【0039】図10を参照すると、原子層蒸着方式で蒸着されたアルミニウムナイトライド層200を酸素(O_2)雰囲気ガス下で酸化させることにより、上記のアルミニウムナイトライド薄膜200上部に、アルミニウムオキシナイトライド($AlON$)201を形成する。

【0040】これと同様に、原子層蒸着方式で形成されたアルミニウムナイトライド200上部にアルミニウムオキシナイトライド201を形成し、 $AlN/AlON$ 複合誘電体薄膜を形成し、DRAMキャパシタの電極間誘電物質として使用すれば、プルーフェンケルタイプの絶縁膜破壊メカニズムを通じ、破壊電圧特性を改善できるだけでなく、アルミニウムナイトライド層200の酸化工程段階でキャパシタ電極102とアルミニウムナイトライド200間に存在する界面欠陥(interface defect)を改善できる長所がある。

【0041】図11を参照すると、酸化工程段階を経て形成されたアルミニウムオキシナイトライド201上部に、キャパシタ上部電極としてプレートポリシリコン105が形成されている。

【0042】図12は本発明の第5実施例に従うDRAMキャパシタの断面図である。図12を参照すると、半導体基板100上に形成されたシリコン酸化膜101及

び半導体基板上に、HSG蓄積用ポリシリコン下部電極102が形成されている。続いて、上記のHSG蓄積用ポリシリコン電極102上部に原子層蒸着方式でアルミニウムナイトライド層200が形成され、上記のアルミニウムナイトライド薄膜200を酸素雰囲気ガス下で酸化させることにより、半球形態を持つアルミニウムオキシナイトライド201を形成する。したがって、本発明の第5実施例に従うDRAMキャパシタは、HSG形態の $AlN/AlON$ 複合誘電体薄膜を具備する電極間誘電体物質を含むことを特徴とする。

【0043】図13は、本発明の第6実施例に従うDRAMキャパシタの断面図である。図13を参照すると、半導体基板100上にシリコン絶縁膜101が形成されており、円筒形スタック蓄積用ポリシリコン下部電極102が形成されている。続いて、電荷蓄積用キャパシタの誘電物質断面積を増大させるために考案された円筒形スタック蓄積用ポリシリコン電極102の上部に、本発明の第3実施例で詳述した方式により $AlN/AlON$ 複合誘電体膜を形成する。

【0044】本発明の特許請求範囲を構成する付加的な特徴と長所は、以下に詳述する通りである。

【0045】開示された本発明の概念と特定実施例は、本発明と類似する目的を遂行するための他の構造の設計や修正の基本として、即時、使用することを該当技術分野の熟練した者により、認識されなければならない。

【0046】また、本発明で開示された発明概念と実施例が本発明の同一目的を遂行するために他の構造で修正したり、設計するための基礎として該当技術分野の熟練した者により、使用させることができるであろう。

【0047】さらに、該当技術分野の熟練した者によるそのような修正又は、変更された等価構造は、特許請求範囲で記述した発明の思想や範囲を抜け出さない限度内において多様な変化、置換及び、変更を可能とする。

【0048】

【発明の効果】以上のように、本発明の半導体装置及びその製造方法は、従来の高誘電体薄膜を使用したDRAMキャパシタが持つ、工程上の問題点を解決する発明であって、本発明は、原子層蒸着方式を利用し、アルミナとアルミニウムナイトライド(Al_2O_3/AlN)複合誘電体薄膜又は、アルミニウムナイトライドとアルミニウムオキシナイトライド($AlN/AlON$)複合誘電体薄膜を電極間誘電体薄膜で形成することにより、従来の半導体DRAM工程に採用されている導電性ポリシリコンを下部電極として継続して使用しても、電極間誘電体物質との置換等、化学的反応を起こさず、良好なステップカバーリッジを持つ高誘電体薄膜を具備するDRAMキャパシタを具現した。

【0049】また、良好な酸化力と優秀な絶縁特性を持ち、ハイドロカーボンの薄膜内の残留問題を最小化した高誘電率の誘電体薄膜を具備する高集積DRAM電荷蓄

12

【図10】本発明の第4実施例に従うDRAMキャパシタの形成方法を表わす工程順序図である。

【図11】本発明の第4実施例に従うDRAMキャパシタの形成方法を表わす工程順序図である。

【図12】本発明の第5実施例に従うDRAMキャパシタの一例を示す断面図である。

【図2】本発明の第1実施例に従いDRAMキャパシタの形成方法を表わす工程順序図である。

【図3】本発明の第1実施例に従いDRAMキャパシタの形成方法を表す工程順序図である。

【図4】本発明の第1実施例に従いDRAMキャパシタの形成方法を表わす工程順序図である。

【図5】図4、図7及び図8の点線円180の部位の一例を表す拡大図である。

【図6】本発明の第1実施例に従う原子層蒸着（ALD）ソースガス流入順序の一例を表わす図面である。

【図7】本発明の第2実施例に従うDRAMキャパシタの一例を示す断面図である。

【図8】本発明の第3実施例に従うDRAMキャパシタの一例を示す断面図である。

【図9】本発明の第4実施例に従うDRAMキャパシタの形成方法を表わす工程順序図である。

【図13】本発明の第6実施例に従うDRAMキャパシタの一例を示す断面図である。

【符号の説明】

10 100: 半導體基板

101: シリコン酸化膜

102:蓄積ポリシリコン下部電極

103: アルミナ (Al_2O_3) 薄膜

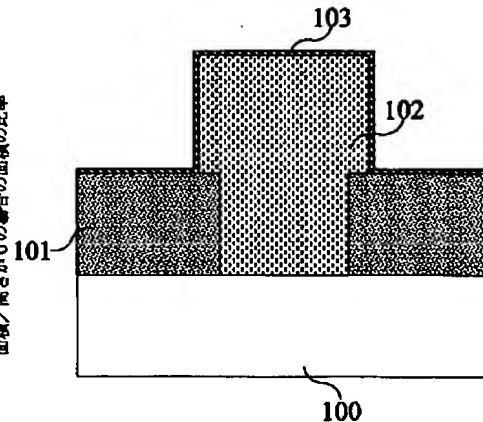
104, 200: アルミニウムナイトライド (AlN) 薄膜

105, 202: プレート (plate) ポリシリコン上部電極

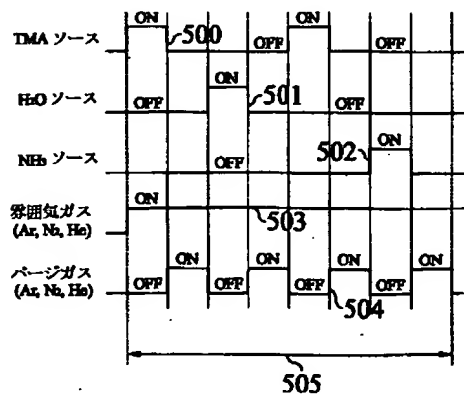
115, 125, 135: $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体膜

20 201: アルミニウムオキシナイトライド (AlON)

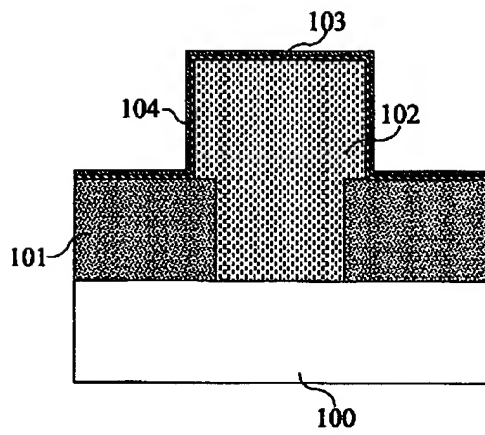
【図2】



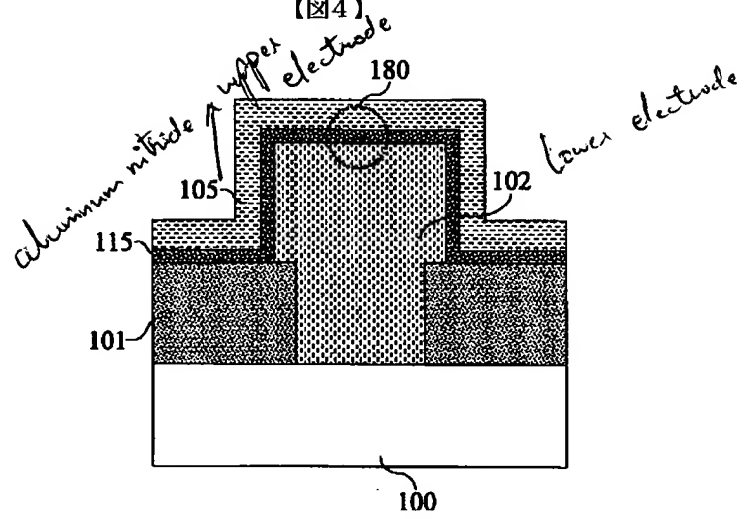
【図6】



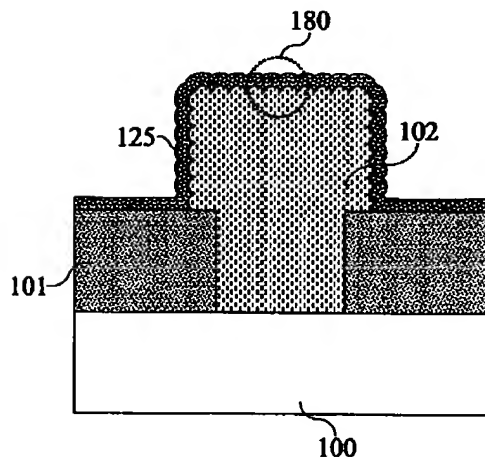
【図3】



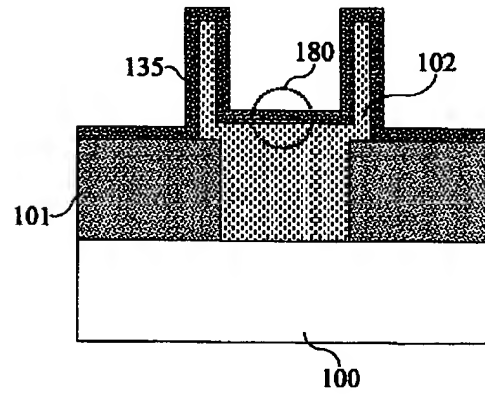
【図4】



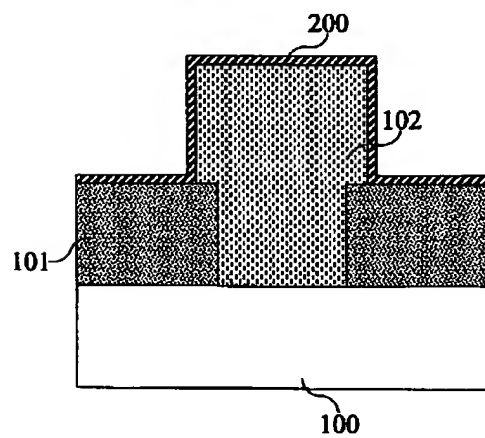
【図7】



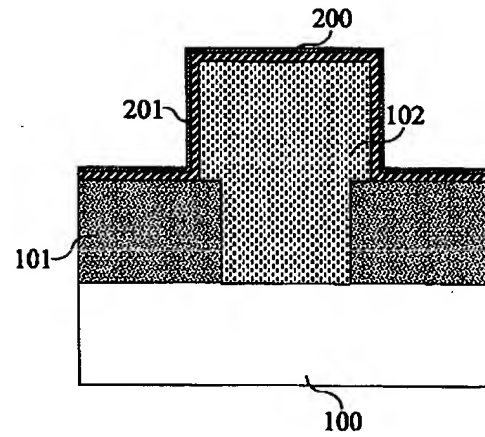
【図8】



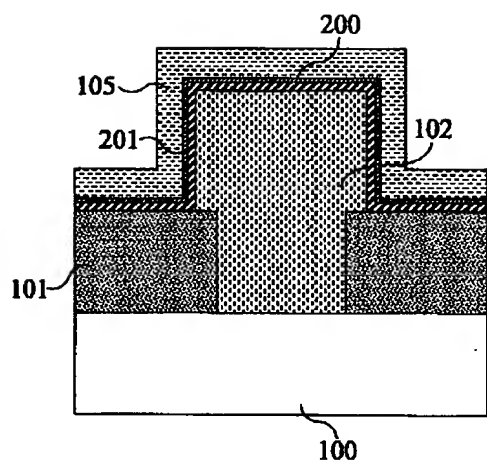
【図9】



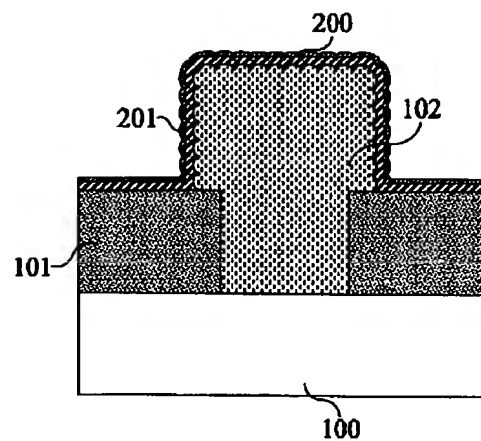
【図10】



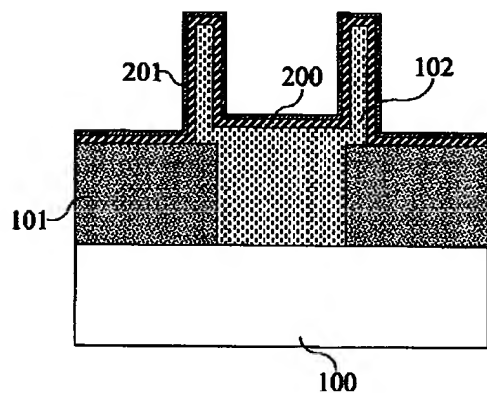
【図11】



【図12】



【図13】



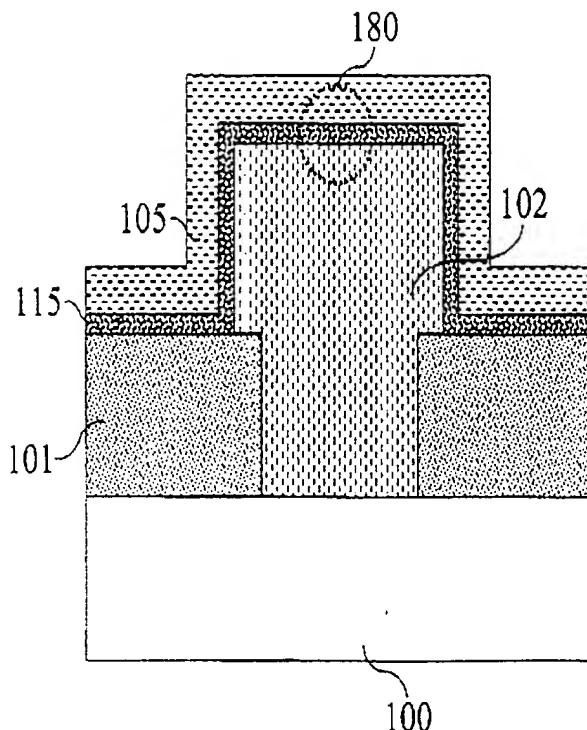
フロントページの続き

(72)発明者 李相▲みん▼
大韓民国ソウル特別市江南区新沙洞524-
28番地

(72)発明者 崔城済
大韓民国ソウル特別市江南区対峙2洞ミド
アパート108棟202号
Fターム(参考) 5F083 AD24 AD42 AD62 HA10 JA01

・ ・ ・ ・ ・同様 ・ 本発明 ・ DRAM 電荷蓄積
用 ・ ・ ・ ・ ・良好 ・ 酸化力 ・ 優秀 ・ 絶縁特
性 ・ 持 ・ ・

In addition, in same way as this, capacitor for DRAMs charge accumulation of the this invention has satisfactory oxidative strength and excellent insulating characteristic.



Claims

特許請求 ・ 範囲 ・

請求項 1 ・

半導体基板上 ・ 導電層 ・ 形成 ・ ・ 段階;上記 ・
導電層 ・ 各 ・ ・ 単位 ・ 限定 ・ ・ ・ ・ ・
・ ・ ・ ・ ・導電層 ・ ・ ・ ・ ・形成 ・ ・ 段階;
上記 ・ ・ ・ ・ ・形成 ・ ・ ・ 導電層上部 ・ 原子
層蒸着(ALD)方式 ・ ・ ・ ・ (Al₂O₃)層 ・ ・ ・ ・
・ ・ ・ ・ ・(AlN)層 ・ 複合誘電体膜 ・ 形
成 ・ ・ 段階; ・ ・ ・ 上記複合誘電体膜上部 ・ 導
電層 ・ 形成 ・ ・ 段階 ・ 具備 ・ ・ ・ 特徴 ・ ・ ・
DRAM ・ ・ ・ ・ ・製造方法 ・

請求項 2 ・

上記 ・ 複合誘電体膜 ・ 形成 ・ ・ 段階 ・ ・ ・ ・
・ ・ ・ ・ ・(TMA) ・ ・ ・ ・ ・基板
温度 ・ 300~450 deg C ・ 維持 ・ ・ 原子層蒸着
(ALD)方式 ・ ・ ・ ・ 層 ・ ・ ・ ・ ・
・ ・ 層 ・ 交代 ・ 反復 ・ ・ 複合誘電体膜 ・ 形成 ・
・ 段階 ・ 含 ・ 請求項 1 ・ 記載 ・ DRAM ・ ・ ・
・ ・ 製造方法 ・

[Claim(s)]

[Claim 1]

In order step; above-mentioned conducting layer which forms conducting layer on the semiconductor substrate with each cell unit to make limited, patterning it does, step; above-mentioned pattern formation forming conducting layer pattern DRAMs capacitor manufacturing method ・ which is made thing feature which possesses step which forms the conducting layer in step; and above-mentioned compound dielectric film upper part which in the conducting layer upper part which is done with atomic layer vapor deposition (ALD) system form compound dielectric film of alumina (Al₂O₃) layer and aluminum nitride (AlN) layer

[Claim 2]

DRAMs capacitor manufacturing method ・ which is stated in Claim 1 which includes step where step which forms above-mentioned compound dielectric film maintains substrate temperature in 300 - 450 deg C with trimethyl aluminum (TMA) as source gas, with atomic layer vapor deposition (ALD) system repeats alumina layer and aluminum nitride layer with alternation, forms compound

・製造方法・

請求項 3・

上記・複合誘電体膜・形成・段階・
 ・基板温度・
 450~600 deg C・維持・原子層蒸着(ALD)方式・
 ・層・
 交代・反復・複合誘電体膜・形成・段階・
 ・含・請求項 1・記載・DRAM・製造方法・

請求項 4・

上記・複合誘電体膜・形成・段階・選定・
 ・流入順序・原子層蒸着
 (ALD)方式・層・
 ・層・交代・反復・所定・厚・複合誘電
 体膜・形成・段階・含・請求項 1・記載・
 DRAM・製造方法・

請求項 5・

上記・選定・流入順序・
 ・(TMA)・H₂O・及
 ・NH₃・所定・時間・間・
 形態・流入・上記・TMA・流入・H₂O
 ・流入及・NH₃・流入・中間・
 ・不活性気体・流入・請求
 項 4・記載・DRAM・製造方法・

請求項 6・

上記・層・上記・
 ・膜・複合誘電膜・交代・形成・段階・
 TMA・H₂O・
 TMA・NH₃・及・
 ・8段階・単位・上記・単位・
 ・反復・回数・上記・所定・厚・
 ・調節・請求項 4・記載・DRAM・
 ・製造方法・

請求項 7・

上記・選定・流入順序・
 ・(AlCl₃)・H₂O・及
 ・NH₃・所定・時間・間・形
 態・流入・上記・
 (AlCl₃)・流入・H₂O・流入及・NH₃
 ・流入・中間・不活
 性気体・流入・請求項 4・記載・DRAM
 ・製造方法・

請求項 8・

dielectric film

[Claim 3]

DRAMs capacitor manufacturing method・ which is stated in Claim 1 which includes step where step which forms above-mentioned compound dielectric film designates aluminum chloride as source gas, maintains substrate temperature in 450 - 600 deg C. with atomic layer vapor deposition (ALD) system repeats alumina layer and aluminum nitride layer with alternation and forms compound dielectric film

[Claim 4]

DRAMs capacitor manufacturing method・ which is stated in Claim 1 which includes step where step which forms above-mentioned compound dielectric film with the atomic layer vapor deposition (ALD) system repeats alumina layer and aluminum nitride layer with alternation with source gas stream entrance order which is selected, forms compound dielectric film of predetermined thickness

[Claim 5]

As for source gas stream entrance order where description above is selected, trimethyl aluminum (TMA) source and H₂O source and NH₃ source between predetermined time, flowing with gas pulse morphological form, in intermediate of above-mentioned TMA source influx, H₂O source influx and NH₃ gas source influx inert gas for purge DRAMs capacitor manufacturing method・ which is stated in Claim 4 which flows

[Claim 6]

DRAMs capacitor manufacturing method・ which is stated in Claim 4 which adjusts the above-mentioned predetermined thickness with number of times where above-mentioned aluminum nitride layer and step which forms compound dielectric film of above-mentioned alumina film with alternation, designate 8 stages of TMA source・ purge・ H₂O source・ purge・ TMA source・ purge・ NH₃ source and purge as unit cycle, repeat above-mentioned unit cycle

[Claim 7]

As for source gas stream entrance order where description above is selected, aluminum chloride (AlCl₃) source and H₂O source and NH₃ source flowing with the between gas pulse morphological form of predetermined time, in intermediate of above-mentioned aluminum chloride (AlCl₃) source influx, H₂O source influx and NH₃ gas source influx inert gas for purge DRAMs capacitor manufacturing method・ which is stated in Claim 4 which flows

[Claim 8]

上記・ ・ ・ ・ ・ 層・上記・ ・ ・
 ・膜・複合誘電膜・交代・形成・ ・段階・ ・
 ・ ・ ・ ・ ・ (AlCl₃)・ ・ ・ ・ ・
 H₂O・ ・ ・ ・ ・
 (AlCl₃)・ ・ ・ ・ ・ NH₃・ ・ ・ 及・ ・ ・ ・ ・
 ・ 8 段階・単位・ ・ ・ ・ ・ 上記・単位・
 ・ ・ ・ ・ 反復・ ・ 回数・ ・ ・ ・ 上記・所定・厚
 ・ ・ 調節・ ・ 請求項 4 ・記載・ DRAM・ ・ ・
 ・ ・ 製造方法・

請求項 9・

上記・不活性気体・ ・窒素(N₂)・ ・ ・ ・ ・
 (argon)(Ar)・又・ ・ ・ ・ ・ (He)・ ・ ・ ・ ・
 ・ ・ ・ ・ ・ 請求項 4 ・ ・ ・ 請求項 7 ・記載・
 DRAM・ ・ ・ ・ ・ 製造方法・

請求項 10・

半導体基板上・導電層・形成・ ・段階:上記・
 導電層・各・ ・単位・限定・ ・ ・ ・ ・
 ・ ・ ・ ・ ・ 導電層・ ・ ・ ・ ・ 形成・ ・段階:上記
 ・ ・ ・ ・ ・ 形成・ ・ ・ 導電層上部・原子層蒸
 着(ALD)方式・ ・ ・ ・ ・ (AlN)
 層・形成・ ・段階:上記・ ・ ・ ・ ・
 ・ ・ 層上部・ ・ ・ ・ ・
 (AlON)層・形成・ ・段階;・ ・ ・ ・ 上記・ ・ ・ ・
 ・ ・ ・ ・ ・ 層上部・導電層・形
 成・ ・段階・具備・ ・ ・ ・ 特徴・ ・ ・ DRAM
 ・ ・ ・ ・ 製造方法・

請求項 11・

上記・ ・ ・ ・ ・ (AlON)
 層・形成・ ・段階・ ・上記・ ・ ・ ・ ・
 ・ ・ ・ (AlN)・酸素雰囲気・熱処理・ ・段階・
 含・請求項 10 ・記載・ DRAM・ ・ ・ ・ 製造
 方法・

請求項 12・

上記・半導体基板上・形成・ ・ ・ 上記導電層
 ・ ・ ・ ・ ・ 含・請求項 1
 ・ ・ ・ 請求項 10 ・記載・ DRAM・ ・ ・ ・ 製
 造方法・

請求項 13・

上記・導電層・ ・ ・ ・ ・ 形成・ ・段階・ ・

HSG・ ・ ・ ・ ・ 電極・形成・ ・段階・
 含・請求項 1 ・ ・ ・ 請求項 10 ・記載・ DRAM
 ・ ・ ・ ・ 製造方法・

請求項 14・

上記・導電層・ ・ ・ ・ ・ 形成・ ・段階・ ・円

As for above-mentioned aluminum nitride layer and step which forms the compound dielectric film of above-mentioned alumina film with alternation, the DRAMs capacitor manufacturing method * which is stated in Claim 4 which adjusts above-mentioned predetermined thickness with number of times which repeats above-mentioned unit cycle with the aluminum chloride (AlCl₃) source * purge * H₂O source * purge * aluminum chloride (AlCl₃) source * purge * NH₃ source and 8 stages of purge as unit cycle

[Claim 9]

As for above-mentioned inert gas, nitrogen (N₂), argon (argon) (Ar), or, among helium (He), DRAMs capacitor manufacturing method * which is stated in Claim 4 or the Claim 7 which is a any one

[Claim 10]

In order to limit step; above-mentioned conducting layer which forms the conducting layer on semiconductor substrate in each cell unit, patterning it does, step; above-mentioned pattern formation forming conducting layer pattern it possesses the step which forms conducting layer in step; and above-mentioned aluminum oxy nitride layer upper part which form aluminum oxy nitride (AlON) layer in step; above-mentioned aluminum nitride layer upper part which in conducting layer upper part which is done with atomic layer vapor deposition (ALD) system forms aluminum nitride (AlN) layer DRAMs capacitor manufacturing method * which is made feature

[Claim 11]

As for step which forms above-mentioned aluminum oxy nitride (AlON) layer, the above-mentioned aluminum nitride (AlN) with oxygen atmosphere thermal processing DRAMs capacitor manufacturing method * which is stated in Claim 10 which includes step which is done

[Claim 12]

As for above-mentioned conducting layer which was formed on the above-mentioned semiconductor substrate doping DRAMs capacitor manufacturing method * which is stated in Claim 1 or Claim 10 which includes polysilicon which is done

[Claim 13]

As for step which forms pattern in above-mentioned conducting layer,

DRAMs capacitor manufacturing method * which is stated in Claim 1 or Claim 10 which includes the step which forms HSG stack polysilicon electrode

[Claim 14]

As for step which forms pattern in above-mentioned

筒・電極・形成・段階・含・請求項 1・請求項 10・記載・DRAM・製造方法・

請求項 15・

電荷蓄積用・持・DRAM 装置・
・半導体基板上・形成・
・電極・;上記・電極上部・
形成・層・
・層・複合誘電体膜・;上記・複合誘電体膜上部・
形成・電極・
構成・特徴・DRAM・

請求項 16・

上記・複合誘電体膜・一原子層・
・一原子層・積層・基本
単位・選定・回数・反復の・積層・
・構造・具備・請求項 15・記載・
DRAM・

請求項 17・

電荷蓄積用・持・DRAM 装置・
・半導体基板上・形成・
・電極・;上記・電極上部・
形成・層・;上記
・層上部・形成・
・(AlON)層・;上記
・層上部・形成・
・電極・構成・
・特徴・DRAM・

請求項 18・

上記・電極・HSG・
・電極・含・請求項 15・請求項 17・
記載・DRAM・

請求項 19・

上記・電極・円筒・
・電極・含・請求項 15・
・請求項 17・記載・DRAM・

Specification

発明・詳細・説明・

0001・

発明・属・技術分野・

本発明・半導体装置及・製造方法・関
・特・高集積半導体 DRAM・電荷蓄積用・
・及・製造方法・関・

conducting layer.DRAMs capacitor manufacturing method・ which is stated in Claim 1 or Claim 10 which includes the step which forms cylindrical pipe type stack polysilicon electrode

[Claim 15]

stack polysilicon electrode which was formed on semiconductor substrate in DRAMs device which has the capacitor for charge accumulation. and; compound dielectric film of alumina layer and the aluminum nitride layer which were formed to above-mentioned stack polysilicon electrode upper part and; it consisted plate polysilicon electrode which was formed to above-mentioned compound dielectric film upper part DRAMs capacitor・ which is made feature

[Claim 16]

As for above-mentioned compound dielectric film, just number of times which is selected with laminate of alumina one atomic layer aluminum nitride one atomic layer as fundamental unit, DRAMs capacitor・ which is stated in Claim 15 which possesses structure which is laminated to iterative

[Claim 17]

stack polysilicon electrode which was formed on semiconductor substrate in DRAMs device having capacitor for charge accumulation, and; aluminum nitride layer which was formed to the above-mentioned stack polysilicon electrode upper part and; aluminum oxy nitride (AlON) layer which was formed to the above-mentioned aluminum nitride layer upper part and; it consisted plate polysilicon electrode which was formed to above-mentioned aluminum oxy nitride layer upper part DRAMs capacitor・ which is made feature

[Claim 18]

As for above-mentioned stack polysilicon electrode, DRAMs capacitor・ which is stated in the Claim 15 or Claim 17 which includes HSG polysilicon electrode

[Claim 19]

As for above-mentioned stack polysilicon electrode, DRAMs capacitor・ which is stated in the Claim 15 or Claim 17 which includes cylindrical pipe type stack polysilicon electrode

[Description of the Invention]

[0001]

[Technological Field of Invention]

this invention regards semiconductor device and its manufacturing method, it regards capacitor and its manufacturing method for charge accumulation of especially high integration semiconductor DRAMs

0002 *

從來・技術・

半導體基板上・單位面積當・製造・・・半
導體素子・集積度・增加・・・伴・・・
蓄積用電荷・・・(storage capacitor)・占有
・・・空間・縮少・・・

・・・與・・・(design
rule)・元・許容・・・空間内・大容量・・・
・・・持・電荷蓄積用・・・製作
・・・必要・・・

0003 *

・・・許容・・・空間内・高・・・
・・・值・持・電荷蓄積用・・・製作・
・・・半導體業界・・・電荷蓄積用・・・
・・・有効面積・極大化・・・方法・又・誘
電率・大・・・物質・電極間・絕緣物質・使用
・・・方法・・・基本・・・新・・・電荷蓄積用・
・・・開發・・・

0004 *

電荷蓄積用・・・有効面積・極大化・
・・・一技術・・・(Fazan)等・・・
・・・合衆國特許第 5,278,091 号・・・
・・・構造・下部電極上・HSG(hemispherical
grain)・・・薄膜・形成・・・電荷
蓄積用・・・增大・・・
・技術・開示・・・

0005 *

・・・(T.Kittawa)・・・1992 年度
International Conference on Solid State Devices
and Materials 学会論文要約集第 90 頁・92 頁
・・・(tantalum)酸化膜(Ta_2O_3)・・・高
誘電體膜・使用・・・256M・・・DRAM・製造
方法・関・・・技術・開示・・・

・・・酸化膜・・・BST($Ba_xSr_{1-x}TiO_3$)物質等
・・・誘電定数・大・・・大容量・・・
・・・製造・・・期待・・・上記高
誘電體膜・利用・・・DRAM・・・製作・
・・・多・・・克服・・・工程
上・問題点・・・

・・・良好・・・(step
coverage)・持・・・酸化膜・製造・・・為
・・・表面運動領域(surface kinetic regime)・範
圍・・・低温(low temperature)・化学氣相蒸着
方式(CVD;chemical vapor deposition)・薄膜・
形成・・・酸素欠乏問題及・・・

high integration semiconductor DRAMs.

[0002]

[Prior Art]

As per unit surface area on semiconductor substrate degree of
integration of semiconductor element which is
produced increases, it has reduced also space which charge
capacitor (storage capacitor) for the data storage possesses.

Therefore, in origin of design rule (design rule) which is
given, capacitor for the charge accumulation which has
capacitance of large capacity inside space which is allowed is
produced becomes necessary.

[0003]

This way, inside space which is allowed, in order to produce
the capacitor for charge accumulation which has high
capacitance value, with semiconductor industry, the method to
peak of converting effective surface area of capacitor for the
charge accumulation. Or, method etc which uses substance
where dielectric constant is large for insulating substance
between electrode is designated as basis, capacitor for the new
charge accumulation is developed.

[0004]

・・・the・・・(Fazan) etc has disclosed technology which
increases the capacitance of capacitor for charge
accumulation by forming HSG (hemispherical grain) silicon
thin film on the bottom electrode of stack structure in United
States of America patent 5 th.278,091 number, as one
technology in order to peak to convert effective surface area of
capacitor for charge accumulation.

[0005]

In addition, ・・・tower (T.Kittawa) etc in 1992 degree
international conference on Solid State devices and
Materials association article summary collection 9 th 0 page・
92 page, has disclosed technology regarding manufacturing
method of 256 MB DRAMs which use ferroelectric
membrane like tantalum (tantalum) oxide film (Ta_2O_3).

As for tantalum acid conversion membrane or BST ($Ba_xSr_{1-x}TiO_3$) substance etc, because dielectric constant is large,
capacitor of large capacity is expected can be produced, but
making use of above-mentioned ferroelectric membrane, in
order to produce DRAMs capacitor, many you must
overcome, there is a problem on step.

In order to produce tantalum acid conversion membrane which
has namely, satisfactory step n bar ridge (step coverage),
causes dielectric constant deterioration・insulating
characteristic defective which problem with such as oxygen
depletion problem and remains problem・crystallinity
decrease inside thin film of hydrocarbon (hydrocarbon)

・ ・ ・ ・ (hydrocarbon) ・ 薄膜内 ・ 残留問題 ・ 結晶性低下等 ・ ・ ・ ・ 誘電率劣化現象 ・ 絶縁特性不良 ・ ・ ・ ・ 問題点 ・ 引 ・ 起 ・ ・ 可能性 ・ ・ ・ ・

0006 ・

・ ・ ・ ・ 同様 ・ ・ ・ ・ ・ 酸化膜 ・ 漏洩電流及 ・ 誘電率劣化 ・ ・ ・ ・ 問題点 ・ 解決 ・ ・ ・ ・ 手段 ・ ・ ・ ・ 紫外線 ・ ・ ・ (UV O₃) 及 ・ 高温乾式酸素 ・ ・ ・ ・ (dry O₂ anneal) ・ ・ ・ 工程 ・ 使用 ・ ・ ・ ・ ・

・ ・ ・ ・ ・ 乾式酸素 ・ ・ ・ ・ ・ 通 ・ ・ ・ ・ ・ 酸化膜下部 ・ 生成 ・ ・ ・ ・ 酸化膜 ・ ・ ・ ・ 酸化膜 ・ 絶縁特性 ・ 向上 ・ ・ ・ ・ ・ 境界面 (grain boundary) ・ 絶縁性 ・ ・ ・ ・ ・ 所 ・ ・ ・ 相對的 ・ 酸素 ・ 拡散 ・ 促進 ・ ・ ・ 酸化膜 ・ 一層厚 ・ 形成 ・ ・ ・ ・ ・ 漏洩電流問題 ・ 改善 ・ ・ ・ ・ ・

0007 ・

一方 ・ BST 誘電体 ・ ・ 優秀 ・ 絶縁特性 ・ 確保 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ 障壁 (Schottky barrier height) ・ 大 ・ ・ 金属電極 ・ 採用 ・ 必要 ・ ・ ・ ・

・ ・ ・ 金属電極 ・ ・ ・ ・ ・ 間 ・ ・ ・ ・ ・ 接触 (ohmic contact) ・ ・ ・ ・ 層 ・ 及 ・ 電極 ・ ・ ・ ・ ・ 間 ・ 化学的反應 ・ 防止 ・ ・ ・ ・ ・ ・ ・ ・ ・ (barrier metal) ・ 採用 ・ 必須 ・ ・ ・ ・

0008 ・

上記 ・ BST 誘電物質 ・ ・ ・ ・ ・ 上下部電極形成 ・ ・ ・ ・ MIM (metal insulator metal) 構造 ・ 基本 ・ ・ ・ ・ 前述 ・ ・ ・ ・ 酸化膜 ・ ・ MIS (metal insulator semiconductor) 又 ・ MIM 構造 ・ 採択 ・ ・ ・ ・ ・ 上記高誘電物質 ・ 高集積 DRAM 工程 ・ 適用 ・ ・ 為 ・ ・ 既存 ・ ・ ・ ・ ・ 酸化膜 (SiO₂) 及 ・ ・ ・ ・ ・ 利用 ・ ・ SIS (semiconductor insulator semiconductor) 構造 ・ 適用出来 ・ ・ ・ ・ 工程上 ・ 負担 ・ 発生 ・ ・ ・ ・ ・

0009 ・

発明 ・ 解決 ・ ・ ・ ・ ・ 課題 ・

・ ・ ・ ・ ・ 面積 ・ 増加 ・ ・ ・ ・ ・ 一手段 ・ ・ ・ 当業界 ・ ・ ・ ・ ・ 高 ・ ・ 増大 ・ ・ ・ 方法 ・ 使 ・ ・ ・ ・ ・ 図 1 ・ 参照 ・ ・ ・ ・ ・ 半径 ・ 減少 ・ ・ ・ ・ ・ 高 ・ ・ 増加 ・ ・ ・ 面積増加比率 ・ 増 ・ ・ 同 ・ 容

by with low temperature (low temperature) which is a range of surface exercise domain (surface kinetic regime) forming thin film with chemical vapor deposition system (CVD; chemical vapor deposition), there is a possibility which.

[0006]

In same way as this, ultraviolet light ozone (UV O₃) and high temperature dry type oxygen aniline (dry O₂ anneal) or other step is used as leakage current and dielectric constant deterioration or other Means to Solve the Problems of tantalum acid conversion membrane.

As for oxide film which is formed to tantalum acid conversion membrane bottom through namely, dry type oxygen aniline , improving, insulating property of grain boundary surface (grain boundary) main me at place where it is not, scattering of oxygen to be promoted insulating characteristic of tantalum acid conversion membrane relatively, because oxide film is thickly formed more, it reaches the point where you can improve leakage current problem.

[0007]

On one hand, as for BST dielectric, in order to guarantee excellent insulating characteristic, adoption of metallic electrode where Schottky barrier (Schottky barrier height) is large is necessary.

In addition, layer for ohmic contact (ohmic contact), and adoption of barrier metal (barrier metal) in order to prevent chemical reaction between electrode and polysilicon are necessary between metallic electrode and polysilicon.

[0008]

Above-mentioned BST dielectric substance, because of top and bottom parts electrode formation of capacitor, to have designated MIM (metal insulator metal) structure as basis, because tantalum acid conversion membrane which mentions earlier MIS (metal insulator semiconductor) or has adopted MIM structure, in order to apply above-mentioned high dielectric substance to high integration DRAMs step, the existing silicon oxide film (SiO₂) and it was applied to ONO (oxide nitride oxide) insulating film, It cannot apply SIS (semiconductor insulator semiconductor) structure which utilizes polysilicon and it reaches point where burden on step which becomes occurs.

[0009]

[Problems to be Solved by the Invention]

With this industry, method which increases height of capacitor is used surface area of capacitor as one means in order to increase, but if Figure 1 is referred to, in order surface area increase ratio increases with increase of height of extent and capacitor which decrease radius of the capacitor to

·番地· · · · ·棟· · · ·号

not seeing * it is *dong 87 address * syn apartment
[112 tower 150] number

(72) 発明者・

(72) [Inventor]

· 氏名 ·

[Name]

李相 · · · ·

Japanese plum phase * it is to see *

住所又・居所・

[Address]

大韓民國・・・特別市江南區新沙洞・・・・
・番地

Republic of Korea Seoul Kangnam-gu new sand dong 524 - 2
8

(72) 発明者・

(72) [Inventor]

· 氏名 ·

[Name]

崔城濟

Choi castle end

·住所又·居所·

[Address]

大韓民國 · · · 特別市江南區對峙洞 · · · ·
· · · · 棟 · · · 號

Republic of Korea Seoul Kangnam-gu confronting each other
2 dong * door part 108 tower 202 number

Agents

(74) 代理人。

(74) [Attorney(s) Representing All Applicants]

識別番号・

[Identification Number]

• • • • •

100072349

弁理士・

[Patent Attorney]

· 氏名又 · 名称 ·

[Name]

八田 幹雄 外・名・

Hatta Mikio (3 others)

Abstract

(57) 要約・

(57) [Abstract]

課題

[Problems to be Solved by the Invention]

半導體裝置及 . . . 製造方法 . 関 . 特 . SIS
構造 . 電極形態 . 持 . 固有全体薄膜 . 具備
. . . DRAM 及 . . . 製造方法 . 提
供 . . .

It regards semiconductor device and its manufacturing method, DRAMs capacitor and its manufacturing method which have electrode morphological form of especially SIS-structure, possess peculiar entirety thin film are offered.

解決手段

[Means to Solve the Problems]

本發明・半導體裝置・原子層蒸着(ALD)方式・利用・ $\text{Al}_2\text{O}_3/\text{AlN}$ 又・ (oxy) ・ (AlN/AlON) ・複合誘電體薄膜・電極間誘電體物質・形成・導電性・電極・使用・電極・置換等・化學的反應・起・良好・持・薄膜內・殘留問題・最小化・高誘電體薄膜・具備・DRAM・具備

As for semiconductor device of this invention, using electrical conductivity polysilicon for capacitor electrode making use of atomic layer vapor deposition (ALD) system, alumina/aluminum nitride ($\text{Al}_2\text{O}_3/\text{AlN}$) or, by forming compound dielectric thin film of aluminum nitride/aluminum oxy (oxy) nitride (AlN/AlON) with dielectric substance between electrode, it causes, chemical reaction such as substitution of electrode, not to be satisfactory step in barrier ridge having, DRAMs capacitor which possesses ferroelectric thin film which remains problem inside the thin film minimization is done is materialized.

量・ ・ ・ ・ ・ 製作・ ・ ・ ・ ・ 等価酸化膜
・ 厚・ (equivalent T_{ox}) ・ 薄・ ・ ・ ・ ・
・ ・ ・ ・ 分・ ・ ・

・ ・ ・ ・ ・ 従来・ ONO 誘電体膜・ 薄・ 等
価酸化膜・ 厚・ (equivalent T_{ox}) ・ 持・ 構造・
対・ ・ ・ ・ 良好・ 絶縁特性・ 持・ 電荷蓄積用・
・ ・ ・ ・ 開発・ 必要・ ・ ・ ・

0010・

・ ・ ・ 従来・ 半導体 DRAM 工程・ 採用・ ・ ・
・ ・ 導電性・ ・ ・ ・ ・ 下部電極・ 継続・ ・
使用・ ・ ・ ・ 電極間誘電体物質・ ・ 置換・ ・ ・
化学の反応・ 起・ ・ ・ ・ 良好・ ・ ・ ・ ・
・ ・ 特性・ 見・ ・ 高誘電率薄膜・ 具備・ ・ ・
・ ・ ・ ・ 開発・ 高集積 DRAM 製造・ ・ ・ ・ 要
求・ ・ ・ ・

0011・

・ ・ ・ ・ ・ 本発明・ 第 1 ・ 目的・ ・ 高集積半
導体 DRAM 工程・ 適用・ ・ ・ ・ ・ 電荷
蓄積用・ ・ ・ ・ ・ 及・ ・ ・ ・ 製造方法・ 提供・ ・
・ ・ ・ ・ ・

0012・

本発明・ 第 2 ・ 目的・ ・ 上記第 1 ・ 目的・ 加・
・ ・ 大容量・ ・ ・ ・ ・ 持・ ・ ・ ・ ・ 下
部電極・ 導電性・ ・ ・ ・ ・ 使用・ ・ ・ ・ ・
良好・ 特性・ 持・ 高集積 DRAM 電荷蓄積用・
・ ・ ・ ・ 及・ ・ ・ ・ 製造方法・ 提供・ ・ ・ ・ ・
・ ・

0013・

本発明・ 第 3 ・ 目的・ ・ 上記第 1 ・ 目的・ 加・
・ ・ 良好・ 酸化力・ 優秀・ 絶縁特性・ 持・ ・ ・
・ ・ ・ ・ ・ 薄膜内・ 残留問題・ 最小化・
・ ・ 高誘電率・ 誘電体薄膜・ 具備・ ・ 高集積
DRAM 電荷蓄積用・ ・ ・ ・ ・ 及・ ・ ・ ・ 製造方
法・ 提供・ ・ ・ ・ ・

0014・

本発明・ 第 4 ・ 目的・ ・ 上記第 1 ・ 目的・ 加・
・ ・ 従来・ ・ ・ ・ ・ (stacked) 型電荷蓄積用・ ・
・ ・ ・ ・ 構造・ 変更・ ・ ・ ・ ・ 後続・ 熱処
理工程・ ・ ・ ・ ・ 下部電極物質・ ・ ・ ・ ・
・ ・ 反応・ ・ ・ ・ ・ 安定・ ・ 高誘電率誘電体
膜・ 具備・ ・ 高集積 DRAM 電荷蓄積用・ ・ ・
・ ・ 及・ ・ ・ ・ 製造方法・ 提供・ ・ ・ ・ ・

produce capacitor of same capacity, thickness (equivalent T_{ox}) of equivalent oxide film must be made thin, understands.

Therefore, vis-a-vis structure which has thickness (equivalent T_{ox}) of equivalent oxide film which is thinner than conventional ONO dielectric film, development of capacitor for the charge accumulation which has satisfactory insulating characteristic becomes necessary.

[0010]

In addition, continuing electrical conductivity polysilicon which is adopted for conventional semiconductor DRAMs step in bottom electrode, using, it does not cause substitution or other chemical reaction of the dielectric substance between electrode, development of capacitor which possesses the high dielectric constant thin film which looks at satisfactory step n bar ridge characteristic is required for high integration DRAMs production.

[0011]

Therefore, first objective of this invention is capacitor for charge accumulation which can be applied to high integration semiconductor DRAMs step and to offer its manufacturing method.

[0012]

It is a capacitor for high integration DRAMs charge accumulation to which second objective of this invention, in addition to above-mentioned first objective, with capacitance of large capacity although, uses electrical conductivity silicon with bottom electrode be able to do, has the satisfactory characteristic and to offer its manufacturing method.

[0013]

It is a capacitor for high integration DRAMs charge accumulation which remains problem inside thin film of hydrocarbon minimization did objective of third of this invention, in addition to above-mentioned first objective, with satisfactory oxidative strength and excellent insulating characteristic, possesses dielectric thin film of high dielectric constant and to offer its manufacturing method.

[0014]

objective of 4th of this invention, is capacitor for high integration DRAMs charge accumulation which possesses high dielectric constant dielectric film which is stabilized without reacting with the polysilicon of bottom electrode substance, regarding succeeding without modifying structure of capacitor for conventional stack (stacked) type charge accumulation in addition to the above-mentioned first objective, thermal processing process and to offer its

0015

課題・解決・・・・・・手段

上記・目的・達成・・・・・・本発明・半導体基板上・導電層・形成・段階;上記・導電層・各・・・・単位・限定・・・・・・
 ・・・・・導電層・・・・・・形成・段階;上記
 ・・・・・形成・・・・導電層上部・原子層蒸着
 (atomic layer deposition;ALD)方式・・・・
 (Al₂O₃)層・・・・・・(AlN)層・
 複合誘電体膜・形成・段階;・・・・上記・複
 合誘電体膜上部・導電層・形成・段階・具
 備・・・・・・特徴・・・・DRAM・・・・製造
 方法・提供・・・・

0016

本発明・別・目的・達成・・・・・・本発明
 ・半導体基板上・導電層・形成・段階;上
 記・導電層・各・・・・単位・限定・・・・・・
 ・・・・・導電層・・・・・・形成・段階;上
 記・・・・・・形成・・・・導電層上部・原子層
 蒸着(ALD)方式・・・・・・
 (AlN)層・形成・段階;上記・・・・・・
 ・・・・・層上部・・・・・・
 ・(AlON)層・形成・段階;・・・・上記・・・・
 ・・・・・層上部・導電層・形
 成・段階・具備・・・・・・特徴・・・・DRAM
 ・・・・・製造方法・提供・・・・

0017

本発明・・・・他・目的・達成・・・・・・本
 発明・電荷蓄積用・・・・・・持・DRAM
 装置・・・・・・半導体基板上・形成・・・・
 ・・・・・電極;上記・・・・
 電極上部・形成・・・・酸化・・・・層・・・・
 ・・・・・層・複合誘電体膜;上
 記複合誘電体膜上部・形成・・・・
 ・・・・・電極・構成・・・・・・特徴・・・・
 DRAM・・・・・・提供・・・・

0018

本発明・・・・他・目的・達成・・・・・・為・本発
 明・電荷蓄積用・・・・・・持・DRAM 装
 置・・・・・・半導体基板上・形成・・・・
 ・・・・・電極;上記・・・・
 ・電極上部・形成・・・・
 ・層;上記・・・・・・層上部・
 形成・・・・

manufacturing method.

[0015]

[Means to Solve the Problems]

In order to achieve above-mentioned objective, as for this invention, In order step; above-mentioned conducting layer forming conducting layer on the semiconductor substrate to be limited with each cell unit, patterning doing, step; above-mentioned pattern formation which forms conducting layer pattern it possesses step which forms conducting layer in step; and above-mentioned compound dielectric film upper part which in conducting layer upper part which is done with atomic layer vapor deposition (atomic layer deposition;ALD) system form compound dielectric film of alumina (Al₂O₃) layer and aluminum nitride (AlN) layer DRAMs capacitor manufacturing method which is made feature is offered.

[0016]

In order to achieve another objective of this invention, in order to limit the step; above-mentioned conducting layer which forms conducting layer on semiconductor substrate in each cell unit, patterning it does this invention, step; above-mentioned pattern formation forming conducting layer pattern it possesses the step which forms conducting layer in step; and above-mentioned aluminum oxy nitride layer upper part which form aluminum oxy nitride (Al ON) layer in step; above-mentioned aluminum nitride layer upper part which in conducting layer upper part which is done with atomic layer vapor deposition (ALD) system forms aluminum nitride (AlN) layer it offers DRAMs capacitor manufacturing method which is made feature.

[0017]

In order to achieving other objective of this invention, this invention the stack polysilicon electrode which was formed on semiconductor substrate in DRAMs device which has capacitor for charge accumulation, and; compound dielectric film of aluminum oxide layer and aluminum nitride layer which were formed to above-mentioned stack polysilicon electrode upper part and; is constituted offers DRAMs capacitor which is made feature with the plate polysilicon electrode which was formed to above-mentioned compound dielectric film upper part.

[0018]

In order to achieve other objective of this invention, as for this invention, stack polysilicon electrode which was formed on semiconductor substrate in DRAMs device which has the capacitor for charge accumulation, and; aluminum nitride layer which was formed to the above-mentioned stack polysilicon electrode upper part and; aluminum oxy nitride (Al ON) layer which was formed to the above-mentioned

(AlON)層・;上記・
 ・層上部・形成・(plate)・
 ・電極・構成・特徴・DRAM
 ・提供・

0019・

・発明・実施・形態・

以下・本発明・電荷蓄積用 DRAM ・
 及・製造方法・好適・実施例・添付図
 面・参照・詳細・説明・

0020・

図 2~4 ・本発明・第 1 実施例・從・DRAM
 ・製造方法・表・工程順序図・

図 2 ・参照・半導体基板 100 上・
 ・酸化膜(SiO₂)101 ・形成・電荷
 蓄積用・構成・下部電極・蓄
 積用・(storage polysilicon)102 ・形成・

・上記・蓄積用・102 及・絶縁
 膜 101 ・上部・(Al₂O₃)103 膜・形成・

0021・

実施例・上記・層 103 ・原子
 層蒸着(atomic layer deposition;ALD)方式・形
 成・

・103 ・DRAM ・誘電膜・使
 用・良好・
 誘電体薄膜内・残存・不純物・少・

・一般的・半導体業界・通用・
 ・(sputtering)方式・上記・
 ・膜 103 ・形成・場合・誘電体薄膜内・
 残存・不純物・減少・
 ・不良・3 次元構造・誘
 電体薄膜・使用・不適合・

・上記・薄膜 103 ・形成・
 実施例・化学気相蒸着(chemical vapor
 deposition;CVD)方式・適用・前述・
 ・方式・反対・
 ・優秀・薄膜内・不純物・除去
 ・難・問題点・

・本発明・実施例・薄膜
 103 ・原子層蒸着(ALD)方式・形成・

aluminum nitride layer upper part; Is constituted DRAMs
 capacitor which is made feature is offered with plate (plate)
 polysilicon electrode which was formed to above-mentioned
 aluminum oxy nitride layer upper part.

[0019]

[Embodiment of the Invention]

Below, DRAMs capacitor for charge accumulation of this
 invention and preferred Working Example of its
 manufacturing method, referring to attached figure, you
 explain in detail.

[0020]

Figure 2~4 is step sequence figure which displays
 manufacturing method of DRAMs capacitor in accordance
 with first Working Example of this invention.

When Figure 2 is referred to, silicon oxide film (SiO₂) 101 is
 formed first on the semiconductor substrate 100, polysilicon
 for compilation (storage polysilicon) 102 is formed as bottom
 electrode which forms capacitor for charge accumulation.

And, in polysilicon 102 for above-mentioned compilation and
 upper part of the insulating film 101, alumina (Al₂O₃) 103
 film are formed.

[0021]

As Working Example, it can form above-mentioned alumina
 layer 103, with atomic layer vapor deposition (atomic layer
 deposition;ALD) system.

In order to use alumina 103 for dielectric film of DRAMs
 capacitor, step n bar ridge being satisfactory, impurity which
 remains inside dielectric thin film little it does not become.

But however, when with sputtering (sputtering) system which
 generally has passed with semiconductor industry,
 above-mentioned alumina film 103 is formed, it can decrease
 impurity which remains inside dielectric thin film, step n bar
 ridge being deficiency, 3 -dimensional structure you use for
 dielectric thin film, it is a non- conformity.

In addition, chemical vapor deposition (chemical vapor
 deposition; CVD) system can be applied as Working
 Example in order to form above-mentioned alumina thin film
 103,, but in opposite direction to aforementioned sputtering
 system, as for step n bar ridge it is excellent, but there is a
 problem whose removal of impurity inside thin film
 is difficult.

Therefore, it can form alumina thin film 103 of Working
 Example of this invention, with the atomic layer vapor
 deposition (ALD) system.

・ ・ ・ ・ ・ 原子層蒸着方式 ・ 形成 ・ ・ ・ ・ ・
 ・ ・ 膜 ・ ・ 非結晶質(amorphous)状態 ・ ・ ・ ・ ・
 ・ ・ ・ ・ ・ 100% ・ 近 ・ ・ 程度 ・ 非常 ・ 良
 好 ・ ・ ・ ・ ・

0022 ・

図 3 ・ ・ 原子層蒸着方式 ・ 形成 ・ ・ ・ ・ ・
 膜上部 ・ ・ ・ ・ ・ 層 104 ・ 形成
 ・ ・ 工程段階 ・ 表 ・ ・ 断面図 ・ ・ ・ ・ ・
 ・ 層 103 ・ ・ ・ ・ ・ 層 104 ・ 原
 子層蒸着方式 ・ ・ ・ ・ ・ (in-situ) ・ ・ ・ ・
 ・ 反復的 ・ 形成 ・ ・ ・ ・ ・ $\text{Al}_2\text{O}_3/\text{AlN}$ 複
 合誘電体薄膜 ・ 形成 ・ ・ ・

0023 ・

図 4 ・ ・ ・ ・ ・ 層 105 ・ 形成工程
 ・ 図示 ・ ・ ・ ・ ・ 原子層蒸着方式 ・ 形成 ・ ・
 ・ $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜 115 上部 ・ ・ ・
 ・ ・ ・ ・ ・ 蒸着 ・ ・ ・ ・ ・
 DRAM ・ ・ ・ ・ ・ 上部電極 105 ・ 形成 ・ ・ ・

0024 ・

図 5 ・ ・ 図 4 ・ 点線円 180 部位 ・ 拡大図 ・ ・ ・
 ・ ・ ・ 膜(Al_2O_3)103 ・ ・ ・ ・ ・
 膜(AlN)104 ・ 原子層蒸着(ALD)方式 ・ ・ ・ ・
 原子層(one atomic layer) ・ 大 ・ ・ 交代 ・ 蒸着
 ・ ・ ・ ・ ・ 形成 ・ ・ ・ $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電
 体薄膜 ・ 断面 ・ 表 ・ ・ 拡大図 ・ ・ ・ ・

0025 ・

本発明 ・ 実施例 ・ ・ ・ ・ ・ 膜 103 ・ ・ ・ ・
 ・ ・ ・ ・ ・ 膜 104 ・ 各 ・ 1.1 Å ・ ・ ・ 原
 子層蒸着(ALD)方式 ・ 数回反復 ・ 形成 ・ ・ ・
 ・ ・ ・ ・ ・ 数十 Å ・ 厚 ・ $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電
 体薄膜 ・ 形成 ・ ・ ・ ・ ・

0026 ・

図 6 ・ ・ 本発明 ・ 実施例 ・ ・ ・ 原子層蒸着
 (atomic layer deposition;ALD)方式 ・ ・ ・ ・
 $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜 ・ 形成 ・ ・ ・ ・
 ・ ・ ・ ・ 流入順序 ・ 表 ・ ・ 図面 ・ ・ ・ ・

図 6 ・ 参照 ・ ・ $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜 ・ 原
 子層蒸着方式 ・ 形成 ・ ・ ・ ・ ・
 ・ (gas pulsing)蒸着順序 ・ 説明 ・ ・ ・ ・ 下記
 通 ・ ・ ・ ・ ・

0027 ・

・ ・ ・ ・ ・ 圧力 ・ 一定 ・ 維持 ・ ・ ・
 ・ ・ ・ 常 ・ 流入 ・ ・ 雰囲気 ・ ・ 503 以外

This way, as for alumina film which was formed with atomic layer vapor deposition system, with the noncrystalline (amorphous) state, as for step n bar ridge it is very satisfactory in extent which gets near to 100%.

[0022]

Figure 3 in order with sectional view which displays process step which forms aluminum nitride layer 104 in alumina film upper part which was formed with atomic layer vapor deposition system, the alumina layer 103 and aluminum nitride layer 104 with atomic layer vapor deposition system yne * stew to do (in-situ), forms the $\text{Al}_2\text{O}_3/\text{AlN}$ compound dielectric thin film in iterative it forms with.

[0023]

Figure 4, being something which illustrates formation process of plate polysilicon layer 105, in $\text{Al}_2\text{O}_3/\text{AlN}$ compound dielectric thin film 115 upper part which was formed with atomic layer vapor deposition system, by the fact that vapor deposition it does polysilicon which doping is done, forms upper electrode 105 of DRAMs capacitor.

[0024]

Figure 5, with enlarged view of dotted line circular 180 parts rank of the Figure 4, alumina film (Al_2O_3) 103 and aluminum nitride film (AlN) is enlarged view which displays cross section of $\text{Al}_2\text{O}_3/\text{AlN}$ compound dielectric thin film which was formed by fact that 104 in size of one atomic layer (one atomic layer) vapor deposition is done with alternation with atomic layer vapor deposition (ALD) system.

[0025]

As Working Example of this invention, at a time each 1.1 S, several times repeating alumina film 103 and aluminum nitride film 104 with atomic layer vapor deposition (ALD) system, it can form $\text{Al}_2\text{O}_3/\text{AlN}$ compound dielectric thin film of thickness of several tens □ by forming.

[0026]

Figure 6 is drawing which displays source gas stream entrance order in order to form $\text{Al}_2\text{O}_3/\text{AlN}$ compound dielectric thin film as Working Example of this invention, in atomic layer vapor deposition (atomic layer deposition;ALD) system.

Figure 6 is referred to, when gas pas jp11 syn (gasp ulsin g) vapor deposition order in order to form $\text{Al}_2\text{O}_3/\text{AlN}$ compound dielectric thin film with atomic layer vapor deposition system is explained, below-mentioned sort is.

[0027]

In order to maintain pressure of namely, chamber uniformly, always, other than atmosphere gas 503 which flows, trimethyl

・選定・(pre-determined)・流入
順序・(TMA・trimethyl aluminum)・500・H₂O・501・NH₃・502・一定時間・間・形態・流入・流入・中間・(purge or purging)用不活性・504・流入

0028・

本發明・実施例・雰囲気・及・(argon)(Ar)・窒素(N₂)・(He)中・使用

0029・

図6・参照・TMA
→H₂O・
→TMA・
→NH₃・
8段階・
順次・形態・
流入・過程・単位・
定義・蒸
着・Al₂O₃/AlN複合誘
電体薄膜・厚・
単位・
505・反復回数・
正確・調節

0030・

一度・終
了・度・Al₂O₃/AlN複合誘電体膜・
2.2 Å(1.1 Å厚・Al₂O₃・1.1 Å厚・AlN)・厚・
蒸着・
反復・反
復回数・複合誘電体薄膜・厚・比例的
増加・望・厚・薄膜
蒸着・可能

0031・

本發明・從・實施例・原子層蒸着方式・
Al₂O₃/AlN複合誘電体薄膜・形成・
TMA(trimethyl aluminum)・
代・(aluminum
chloride・AlCl₃)・使用・
時・原子層蒸着・流入段階・
→H₂O・
→
→NH₃・8段階・基本単

aluminum (TMA・trimethyl aluminum) source 500 and H₂O source 501・NH₃ source 502 flow with between gas pulse morphological form of constant time by (pre-determined) source gas stream entrance order which is selected, purge (purge or purging) business inert gas 504 flows in intermediate of the respective source gas stream entrance.

[0028]

As Working Example of this invention, argon (argon) (Ar), nitrogen (N₂) or either one in helium (He) one can be used with atmosphere gas and purge gas.

[0029]

When Figure 6 is referred to, 8 stages of TMA source→purge→H₂O source→purge→TMA source→purge→NH₃ source→purge, process where gas flows with sequential pulse morphological form, are defined, as unit cycle as for the thickness of Al₂O₃/AlN compound dielectric thin film which vapor deposition is done, with the repetitive number of times of unit cycle 505 which gas pass is done, adjusts accurately.

[0030]

In every degree which ends gas pass cycle of namely, one time, compound dielectric film of Al₂O₃/AlN vapor deposition is done in thickness of 2.2 S (1.1 -S Al₂O₃ of thickness and 1.1 -S AlN of thickness).

If gas pass cycle is repeated, because it reaches the point where thickness of compound dielectric thin film increases in proportional with repetitive number of times, thin film vapor deposition of thickness of desire becomes possible.

[0031]

aluminum chloride (aluminum chloride・AlCl₃) source can be used in place of TMA (trimethyl aluminum) source with the source gas in order to form Al₂O₃/AlN compound dielectric thin film with atomic layer vapor deposition system as the Working Example which you follow this invention.

This time, gas stream entrance step for atomic layer vapor deposition designates 8 stages of aluminum chloride source→purge→H₂O source→purge→aluminum chloride source→purge→NH₃ source→purge as fundamental unit,

位 ・ ・ ・ 複合誘電体薄膜 ・ 形成 ・ ・ ・

0032 ・

・ ・ ・ TMA ・ ・ ・ ・ ・ 利用 ・ ・ ・ 上記 ・ 複合誘電体薄膜 ・ 形成 ・ ・ ・ 場合 ・ 300~450 deg C ・ 蒸着温度 ・ 最適 ・ 特性 ・ 持 ・ 薄膜 ・ 得 ・ ・ ・ ・ ・
 ・ ・ ・ TMA ・ ・ ・ ・ ・ 代 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・
 ・ ・ ・ ・ ・ 使用 ・ ・ ・ 場合 ・ ・ ・ 450~600 deg C ・
 蒸着温度 ・ 維持 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ 良質 ・ 複合誘電体薄膜 ・ 得 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・

0033 ・

一方 ・ 本発明 ・ 第 1 実施例 ・ ・ ・ ・ ・ 形成 ・ ・ ・ ・ ・
 ・ ・ ・ ・ ・ 薄膜 ・ ・ ・ 非結晶質(amorphous)状態 ・ ・ ・
 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ 100% ・ 近 ・ 値 ・ 持 ・ ・ ・

実施例 ・ ・ ・ ・ 前述 ・ ・ 方法 ・ 形成 ・ ・ ・ ・ ・
 ・ ・ ・ 酸素雰囲気 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ (annealing) 工程 ・ 進行 ・ ・ ・ ・ ・ 薄膜 ・ 密度 ・ 増加 ・ ・ ・
 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・

・ ・ ・ 一実施例 ・ ・ ・ ・ 本発明 ・ 第 1 実施例 ・ ・ ・
 ・ ・ ・ 形成 ・ ・ ・ ・ ・ 薄膜 ・ 800 deg C ・ 酸素 ・ ・ ・ ・ ・
 30 分間実施 ・ ・ 場合 ・ 薄膜 ・ 屈折率 ・ 波長 633.0nm ・ 光 ・ 対 ・ 1.640 ・ ・ ・
 1.692 ・ 増加 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・

・ ・ ・ ・ ・ 原子層蒸着方式 ・ 形成 ・ ・ ・ ・ ・
 ・ 薄膜 ・ ・ 後続 ・ ・ ・ ・ ・ 工程 ・ 最適化 ・ 通
 ・ 誘電膜 ・ 厚 ・ ・ 減少 ・ 誘電率増加及 ・ ・ 等価
 ・ ・ ・ 酸化膜 ・ 厚 ・ (Tox) ・ 最小化 ・ ・ ・ ・
 ・ 期待 ・ ・ ・ ・ ・

0034 ・

・ ・ ・ ・ 薄膜 ・ ・ ・ ・ ・ 酸化膜(SiO₂) ・ ・ ・ ・ ・
 ・ 窒化膜(SiN) ・ 複合誘電体膜 ・ 比 ・ ・ 誘電率
 ・ 大 ・ ・ 反面 ・ ・ ・ ・ ・ 酸化膜 ・ 同 ・ ・ ・ ・ ・
 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ (Fowler-Nordheim) ・ ・ ・ ・ ・
 ・ ・ (漏洩)電流 ・ ・ ・ ・ ・ 起因 ・ ・ 絶縁膜破壊(dielectric breakdown)特性 ・ 脆弱 ・ ・ ・ ・ ・
 ・ ・ ・ ・ ・

・ ・ ・ ・ ・ 本発明 ・ 第 1 実施例 ・ 従 ・
 Al₂O₃/AlN 複合誘電体薄膜 ・ 採用 ・ ・ DRAM
 ・ ・ ・ ・ ・ 装置 ・ ・ 原子層蒸着方式 ・ 蒸着 ・ ・
 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ (Pool-Frenkel) ・ ・ ・ ・ ・
 漏洩電流 ・ ・ ・ ・ ・ 見 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・
 ・ ・ ・ ・ ・ (AlN)物質 ・ ・ ・ ・ ・ (Al₂O₃) ・ 交代 ・
 形成 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ 高電界 ・ ・ 絶縁膜破壊特性 ・ 改善 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・

forms compound dielectric thin film.

[0032]

In addition, when above-mentioned compound dielectric thin film is formed making use of TMA source, be able to acquire thin film which has characteristic of optimum with vapor deposition temperature of 300 - 450 deg C, when aluminum chloride source is used in place of TMA source, compound dielectric thin film of good quality can be acquired by maintaining vapor deposition temperature of 450 - 600 deg C.

[0033]

As for alumina thin film which on one hand, was formed with first Working Example of the this invention, with noncrystalline (amorphous) state, as for step n bar ridge it has the value which is close to 100%.

As Working Example, alumina which was formed with method which is mentioned earlier by fact that aniline (annealing) step is advanced with oxygen atmosphere gas, density of thin film it can increase.

As one Working Example, when alumina thin film which was formed with first Working Example of the this invention oxygen aniline 30 - minute is executed with 800 deg C, it can increase in 1.640 to 1.692 refractive index of thin film vis-a-vis light of wavelength 633.0 nm.

Therefore, as for alumina thin film which was formed with atomic layer vapor deposition system, thickness (Tox) of decrease, dielectric constant increase and equivalent silicon oxide film of thickness of dielectric film minimization is done via optimization of succeeding aniline step, you can expect.

[0034]

As for alumina thin film, while dielectric constant is large silicon oxide film (SiO₂) with incomparision with compound dielectric film of silicon nitride film (SiN), as silicon oxide film the insulating film destructive (dielectric breakdown) characteristic which originates in tunnel (leak) current mechanism of same Fowler * node Heim (Fowler-Nordheim) type is easy to become fragility.

Therefore, in accordance with first Working Example of this invention, insulating film break characteristic with high electric field can be improved with alternation aluminum nitride (AlN) substance which DRAMs capacitor device which adopts Al₂O₃/AlN compound dielectric thin film is easy to do the vapor deposition with atomic layer vapor deposition system, pool * deviation jp11 (Pool-Frenkel) tunnel leakage current mechanism can see is formed alumina (Al₂O₃) with with.

0035

図 7 ・ 本発明 ・ 第 2 実施例 ・ 伴 ・ DRAM ・
断面図

図 7 参照 ・ 半導体基板 100 上 ・ 形成 ・
酸化膜 101 及 ・ 半導体基板 100
上部 ・ 半球模様 ・ (hemispherical
grain: 以下 "HSG" ・ 持 ・ 下部電極用 ・
(stacked)蓄積用 ・ 電極 102 ・ 形成

0036

続 ・ 上記 ・ 蓄積用 ・ 電極
102 上部 ・ 薄膜 ・
薄膜 ・ 図 6 表 ・ 方式
原子層蒸着 ・ 半球模様 ・ $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜 ・
形成

0037

図 8 ・ 本発明 ・ 第 3 実施例 ・ 従 ・ DRAM ・
断面図

図 8 参照 ・ 半導体基板 100 上 ・ 形成 ・
下部電極 102 ・ 表面
積 ・ 増大 ・ 為 ・ 円筒形(cylindrical)模様
上記 ・ 円筒形 ・ 下部
電極 102 上部 ・ 前述 ・ 原子層蒸着方式 ・
 $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜 ・ 形成

図 7 及 ・ 図 8 ・ 点線円 180 部位 ・ 対 ・ 拡大
図 ・ 図 5 参照

0038

図 9~11 ・ 本発明 ・ 第 4 実施例 ・ 従 ・ DRAM
形成方法 表 ・ 工程順序図

図 9 参照 ・ 半導体基板 100 上 ・
酸化膜 101 ・ 形成 ・ 電荷蓄積用 ・
構成 ・ 下部電極 ・ 蓄積用 ・
102 ・ 形成

上記 ・ 蓄積用 ・ 102 及 ・ 絶縁
膜 101 上部 ・ 200 ・
形成

実施例 ・ 上記 ・
層 200 ・ 原子層蒸着方式 ・ 形成

0039

図 10 参照 ・ 原子層蒸着方式 ・ 蒸着 ・
層 200 ・ 酸素(O_2)

[0035]

Figure 7 is sectional view of DRAMs capacitor which accompanies second Working Example of the this invention.

When Figure 7 is referred to, polysilicon electrode 102 for stack (stacked) compilation of the bottom electrode which has gray (You call "HSG" below hemispherical grain;) of hemisphere motif in silicon oxide film 101 and the semiconductor substrate 100 upper part which were formed on semiconductor substrate 100 is formed.

[0036]

Consequently, in polysilicon electrode 102 upper part for above-mentioned stack compilation, with the gas pas jp11 syn system which displays alumina thin film and aluminum nitride thin film, in Figure 6, $\text{Al}_2\text{O}_3/\text{AlN}$ compound dielectric thin film of hemisphere motif is formed bycontrolling atomic layer vapor deposition.

[0037]

Figure 8 is sectional view of DRAMs capacitor which you follow third Working Example of the this invention.

When Figure 8 is referred to, stack polysilicon bottom electrode 102 which was formed on the semiconductor substrate 100, in order to increase surface area, has done cylindrical (cylindrical) motif, inabove-mentioned cylindrical stack polysilicon bottom electrode 102 upper part, can form compound dielectric thin film of $\text{Al}_2\text{O}_3/\text{AlN}$ with aforementioned atomic layer vapor deposition system.

enlarged view for dotted line circular 180 parts rank of Figure 7 and Figure 8 Figure 5 must be reference.

[0038]

Figure 9~11 is step sequence figure which displays formation method of DRAMs capacitor which you follow 4 th Working Example of this invention.

When Figure 9 is referred to, silicon oxide film 101 is formed on semiconductor substrate 100, the polysilicon 102 for compilation is formed as bottom electrode which forms capacitor for charge accumulation.

And, aluminum nitride 200 is formed to polysilicon 102 and insulating film 101 upper part for theabove-mentioned compilation.

As Working Example, it can form above-mentioned aluminum nitride layer 200, with the atomic layer vapor deposition system.

[0039]

When Figure 10 is referred to, in above-mentioned aluminum nitride thin film 200 upper part, aluminum oxy nitride (Al

雰囲気・下・酸化・・・・・上記・
 ・・・・・薄膜 200 上部・・・・
 ・・・・・(AlON)201 形成・
 ・・・・

0040・

・・・同様・原子層蒸着方式・形成・・・・
 ・・・・200 上部・・・・
 ・・・・201 形成・AlN/AlON 複
 合誘電体薄膜・形成・DRAM・・・・電
 極間誘電物質・・・・使用・・・・
 ・・・・絶縁膜破壊・・・・通・破
 壊電圧特性・改善・・・・
 ・・・・層 200 酸化工程段階・・・・
 ・・・・電極 102・・・・200
 間・存在・界面欠陥(interface defect)・改善
 ・・・・長所・・・・

0041・

図 11 参照・・・・酸化工程段階・経・形成・
 ・・・・201 上部
 ・・・・上部電極・・・・
 ・105 形成・・・・

0042・

図 12 本発明・第 5 実施例・從・DRAM・
 ・・・・断面図・・・・

図 12 参照・・・・半導体基板 100 上・形成・
 ・・・・酸化膜 101 及・半導体基板上・
 HSG 蓄積用・・・・下部電極 102 形成・
 ・・・・

続・・・・上記・HSG 蓄積用・・・・電極
 102 上部・原子層蒸着方式・・・・
 ・・・・層 200 形成・・・・上記・
 ・・・・薄膜 200 酸素雰囲気・下・酸
 化・・・・半球形態・持・
 ・・・・201 形成・・・・

・・・本発明・第 5 実施例・從・DRAM
 ・・・・HSG 形態・AlN/AlON 複合誘電
 体薄膜・具備・電極間誘電体物質・含・
 ・・・・特徴・・・・

0043・

図 13 本発明・第 6 実施例・從・DRAM・
 ・・・・断面図・・・・

図 13 参照・・・・半導体基板 100 上・・・・
 ・絶縁膜 101 形成・・・・円筒形・
 蓄積用・・・・下部電極 102 形成・
 ・・・・

ON) 201 is formed with atomic layer vapor deposition system aluminum nitride layer 200 which vapor deposition is done by oxidation doing under oxygen (O₂) atmosphere gas.

[0040]

In same way as this, it forms aluminum oxy nitride 201 in aluminum nitride 200 upper part which was formed with atomic layer vapor deposition system, forms AlN/AlON compound dielectric thin film and if it uses, as dielectric substance between electrode of DRAMs capacitor breakdown voltage characteristic can be improved via insulating film destructive mechanism of pool-deviation type, not only, There is a strength which can improve capacitor electrode 102 and boundary surface defect (interface defect) which exists between aluminum nitride 200 with oxidation process step of aluminum nitride layer 200.

[0041]

When Figure 11 is referred to, passing by oxidation process step, polysilicon 105 is formed to aluminum oxy nitride 201 upper part which was formed, as capacitor upper electrode.

[0042]

Figure 12 is sectional view of DRAMs capacitor which you follow 5 th Working Example of the this invention.

When Figure 12 is referred to, polysilicon bottom electrode 102 for HSG compilation is formed on silicon oxide film 101 and semiconductor substrate which were formed on semiconductor substrate 100.

Consequently, aluminum oxy nitride 201 where in polysilicon electrode 102 upper part for above-mentioned HSG compilation aluminum nitride layer 200 is formed with atomic layer vapor deposition system, has hemisphere condition above-mentioned aluminum nitride thin film 200 by oxidation doing under oxygen atmosphere gas, is formed.

Therefore, DRAMs capacitor which you follow 5 th Working Example of this invention includes dielectric substance between electrode which possesses AlN/AlON compound dielectric thin film of HSG morphological form it makes feature.

[0043]

Figure 13 is sectional view of DRAMs capacitor which you follow 6 th Working Example of the this invention.

When Figure 13 is referred to, silicon insulating film 101 is formed on semiconductor substrate 100, the polysilicon bottom electrode 102 for cylindrical stack compilation is formed.

続・電荷蓄積用・誘電物質断面
積・増大・考案・円筒形・
蓄積用・電極 102・上部・本発
明・第 3 実施例・詳述・方式・
AlN/AION 複合誘電体膜・形成

0044・

本発明・特許請求範囲・構成・付加的・特
徴・長所・以下・詳述・通

0045・

開示・本発明・概念・特定実施例・本
発明・類似・目的・遂行・他・構
造・設計・修正・基本・即時・使用・
該当技術分野・熟練・者・認識

0046・

本発明・開示・発明概念・実施例・
本発明・同一目的・遂行・他・構
造・修正・設計・基礎・該当
技術分野・熟練・者・使用

0047・

該当技術分野・熟練・者・
修正又・変更・等価構造・特許
請求範囲・記述・発明・思想・範囲・抜
出・限度内・多様・変化・置換及
変更・可能

0048・

発明・効果・

以上・本発明・半導体装置及・
製造方法・従来・高誘電体薄膜・使用・
DRAM・持・工程上・問題点・
解決・発明・本発明・原子層蒸着
方式・利用・
(Al₂O₃/AlN)複合誘電体薄膜又・
(AlN/AION)複合誘電体薄膜・電極間誘電体薄
膜・形成・従来・半導体 DRAM
工程・採用・導電性・下部電極・
繼續・使用・電極間誘電
体物質・置換等・化学的反應・起・良
好・持・高誘電体薄膜
具備・DRAM・具現

Consequently, in upper part of polysilicon electrode 102 for cylindrical stack compilation which is devised in order to increase dielectric substance cross-sectional area of capacitor for charge accumulation, AlN/AlON compound dielectric film is formed with system which is detailed with the third Working Example of this invention.

[0044]

additive feature and strength which form Patent Claim range of this invention are, as detailed below.

[0045]

Immediately, you use concept and specific Working Example of this invention which is disclosed, it must be recognized by person to whom corresponding technological field becomes skillful, as design and learning/repairing positive basis of other structure in order to accomplish objective which resembles this invention.

[0046]

In addition, because invention concept and Working Example which are disclosed with this invention accomplish same objective of this invention it corrects, you probably can use with other structure with person to whom corresponding technological field becomes skillful as fundamentals in order to design.

[0047]

Furthermore, equivalent structure which with person to whom corresponding technological field becomes skillful that kind of it is corrected or is modified, or, makes diverse change, substitution and modification possible in the idea of invention which is described in Patent Claim range and inside the limit which does not sneak away from range.

[0048]

[Effects of the Invention]

Like above, with invention which as for semiconductor device and its manufacturing method of this invention, DRAMs capacitor which uses conventional ferroelectric thin film has, solves problem on the step, as for this invention, making use of atomic layer vapor deposition system, in forming alumina and aluminum nitride (Al₂O₃/AlN) compound dielectric thin film or aluminum nitride and aluminum oxy nitride (AlN/AlON) compound dielectric thin film with dielectric thin film between electrode depending, electrical conductivity polysilicon which is adopted for conventional semiconductor DRAMs step continuing as bottom electrode, using, it did not cause, chemical reaction such as substitution of dielectric substance between electrode, it materialized DRAMs capacitor which possesses ferroelectric thin film which has satisfactory step n bar ridge.

図49

・ ・ ・ ・ ・ 良好 ・ 酸化力 ・ 優秀 ・ 絶縁特性 ・ 持 ・ ・
 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ 薄膜内 ・ 残留問題 ・ 最小化
 ・ ・ ・ 高誘電率 ・ 誘電体薄膜 ・ 具備 ・ ・ 高集積
 DRAM 電荷蓄積用 ・ ・ ・ ・ ・ 及 ・ ・ ・ ・ 製造方
 法 ・ 提供 ・ ・ ・ ・

図面 ・ 簡単 ・ 説明 ・

図 ・ ・

半導体工程 ・ 高集積化 ・ 伴 ・ DRAM ・ ・ ・ ・ ・
 ・ ・ ・ 構造の影響 ・ 一例 ・ 表 ・ ・ ・ ・ ・

図 ・ ・

本発明 ・ 第 1 実施例 ・ 従 ・ DRAM ・ ・ ・ ・ ・
 ・ 形成方法 ・ 表 ・ ・ 工程順序図 ・ ・ ・ ・

図 ・ ・

本発明 ・ 第 1 実施例 ・ 従 ・ DRAM ・ ・ ・ ・ ・
 ・ 形成方法 ・ 表 ・ ・ 工程順序図 ・ ・ ・ ・

図 ・ ・

本発明 ・ 第 1 実施例 ・ 従 ・ DRAM ・ ・ ・ ・ ・
 ・ 形成方法 ・ 表 ・ ・ 工程順序図 ・ ・ ・ ・

図 ・ ・

図 4 ・ 図 7 及 ・ 図 8 ・ 点線円 180 ・ 部位 ・ 一例
 ・ 表 ・ 拡大図 ・ ・ ・ ・

図 ・ ・

本発明 ・ 第 1 実施例 ・ 従 ・ 原子層蒸着(ALD) ・
 ・ ・ ・ ・ 流入順序 ・ 一例 ・ 表 ・ ・ 図面 ・ ・ ・ ・

図 ・ ・

本発明 ・ 第 2 実施例 ・ 従 ・ DRAM ・ ・ ・ ・ ・
 ・ 一例 ・ 示 ・ 断面図 ・ ・ ・ ・

図 ・ ・

本発明 ・ 第 3 実施例 ・ 従 ・ DRAM ・ ・ ・ ・ ・
 ・ 一例 ・ 示 ・ 断面図 ・ ・ ・ ・

図 ・ ・

本発明 ・ 第 4 実施例 ・ 従 ・ DRAM ・ ・ ・ ・ ・
 ・ 形成方法 ・ 表 ・ ・ 工程順序図 ・ ・ ・ ・

[0049]

In addition, capacitor and its manufacturing method which for high integration DRAMs charge accumulation possess the dielectric thin film of high dielectric constant which remains problem inside thin film of the hydrocarbon minimization is done are offered with satisfactory oxidative strength and excellent insulating characteristic.

[Brief Explanation of the Drawing(s)]

[Figure 1]

It is a graph which displays one example of structural influence of DRAMs capacitor attendant upon trend to high integration of semiconductor step.

[Figure 2]

It is a step sequence figure which displays formation method of DRAMs capacitor in accordance with first Working Example of this invention.

[Figure 3]

It is a step sequence figure which displays formation method of DRAMs capacitor in accordance with first Working Example of this invention.

[Figure 4]

It is a step sequence figure which displays formation method of DRAMs capacitor in accordance with first Working Example of this invention.

[Figure 5]

It is an enlarged view which displays one example of site of dotted line circle 180 of Figure 4 ・ Figure 7 and Figure 8.

[Figure 6]

It is a drawing which displays one example of atomic layer vapor deposition (ALD) source gas stream entrance order which you follow first Working Example of this invention.

[Figure 7]

It is a sectional view which shows one example of DRAMs capacitor which you follow the second Working Example of this invention.

[Figure 8]

It is a sectional view which shows one example of DRAMs capacitor which you follow the third Working Example of this invention.

[Figure 9]

It is a step sequence figure which displays formation method of DRAMs capacitor which you follow 4th Working Example of this invention.

図・・・

本発明・第4実施例・従・DRAM・・・
・形成方法・表・工程順序図・・・

図・・・

本発明・第4実施例・従・DRAM・・・
・形成方法・表・工程順序図・・・

図・・・

本発明・第5実施例・従・DRAM・・・
・一例・示・断面図・・・

図・・・

本発明・第6実施例・従・DRAM・・・
・一例・示・断面図・・・

符号・説明・

100

半導体基板

101

・・・酸化膜

102

蓄積・・・下部電極

103

・・・(Al₂O₃)薄膜

104

・・・(AlN)薄膜

105

・・・(plate)・・・上部電極

115

Al₂O₃/AlN 複合誘電体膜

125

Al₂O₃/AlN 複合誘電体膜

135

Al₂O₃/AlN 複合誘電体膜

200

・・・(AlN)薄膜

of this invention.

[Figure 10]

It is a step sequence figure which displays formation method of DRAMs capacitor which you follow 4 th Working Example of this invention.

[Figure 11]

It is a step sequence figure which displays formation method of DRAMs capacitor which you follow 4 th Working Example of this invention.

[Figure 12]

It is a sectional view which shows one example of DRAMs capacitor which you follow 5 th Working Example of this invention.

[Figure 13]

It is a sectional view which shows one example of DRAMs capacitor which you follow 6 th Working Example of this invention.

[Explanation of Symbols in Drawings]

100

semiconductor substrate

101

silicon oxide film

102

compilation polysilicon bottom electrode

103

alumina (Al₂O₃) thin film

104

aluminum nitride (AlN) thin film

105

plate (plate) polysilicon upper electrode

115

Al₂O₃/AlN compound dielectric film

125

Al₂O₃/AlN compound dielectric film

135

Al₂O₃/AlN compound dielectric film

200

aluminum nitride (AlN) thin film

201

..... (AlON)

201

aluminum oxy nitride (Al ON)

202

..... (plate) 上部電極

202

plate (plate) polysilicon upper electrode

Drawings

図 ..

[Figure 1]

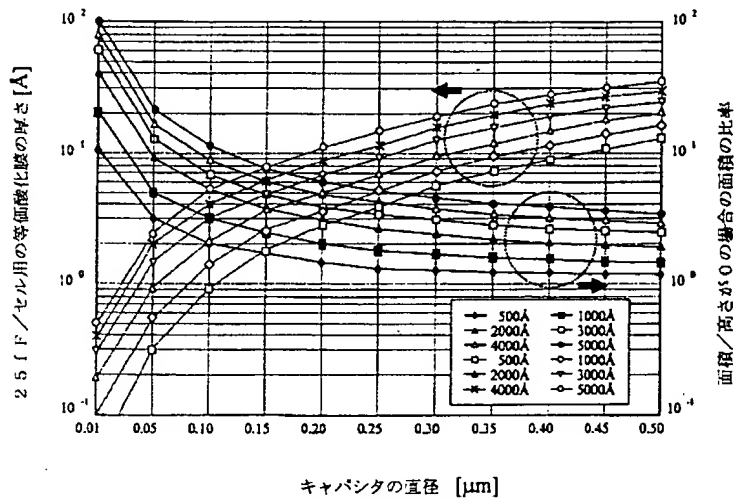


図 ..

[Figure 2]

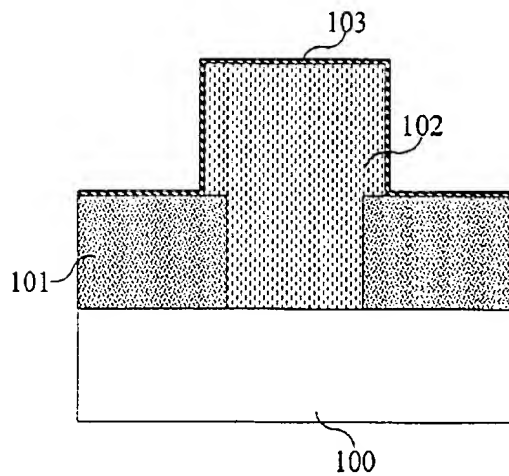
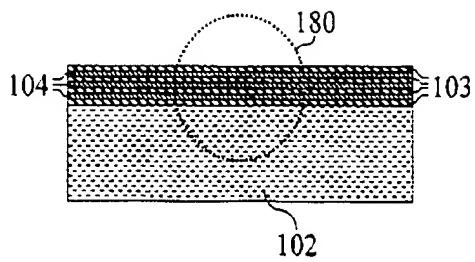


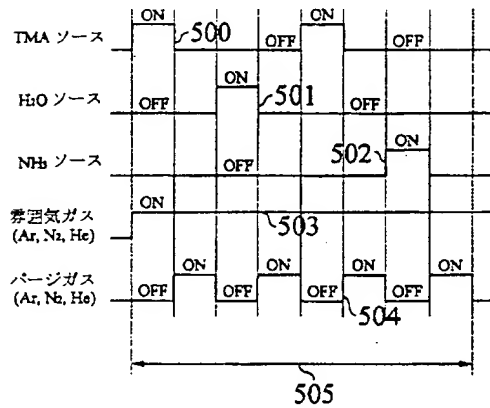
図 ..

[Figure 5]



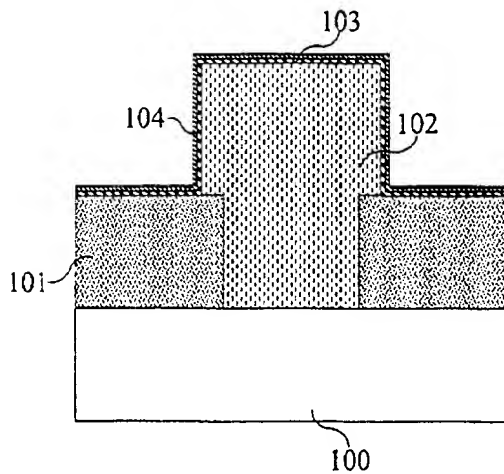
[Figure 6]

図 ・・



[Figure 3]

図 ・・



[Figure 4]

図 ・・

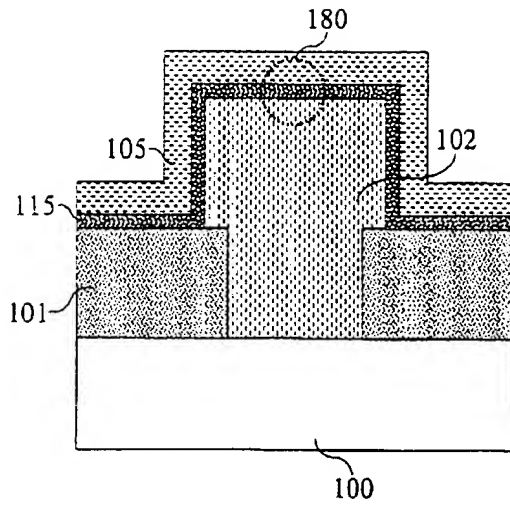


図 7

[Figure 7]

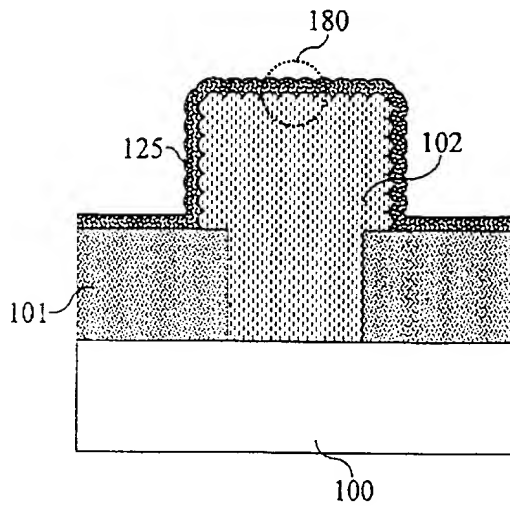


図 8

[Figure 8]

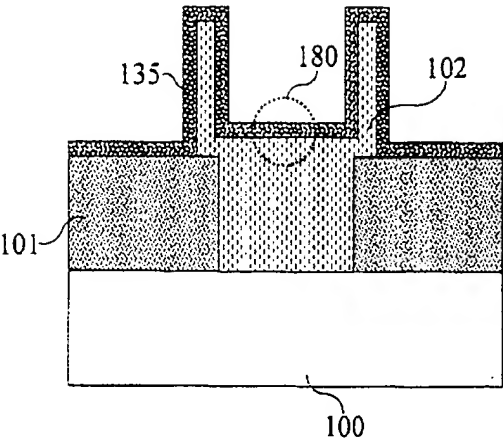


図 9

[Figure 9]

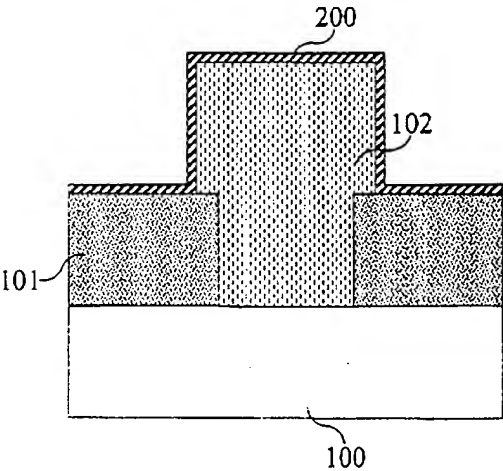


図 10

[Figure 10]

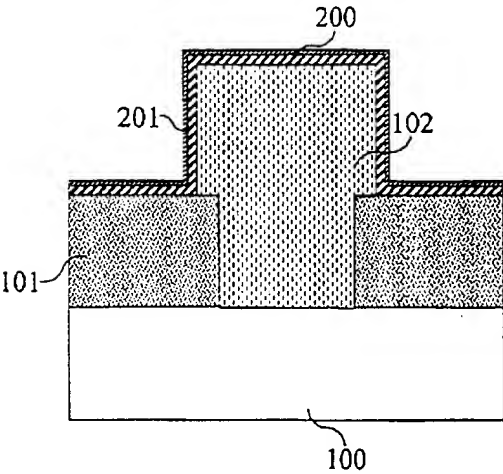


図 11

[Figure 11]

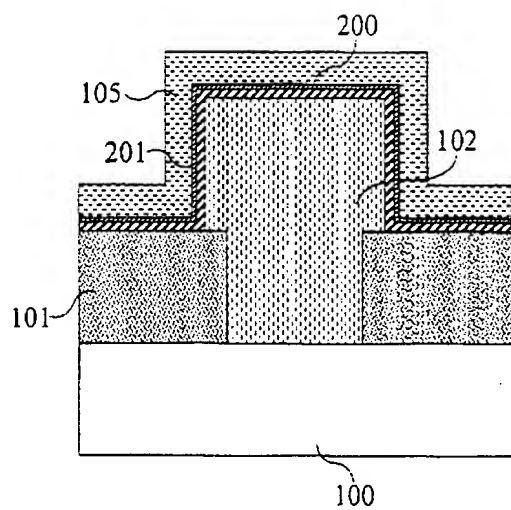


図 12

[Figure 12]

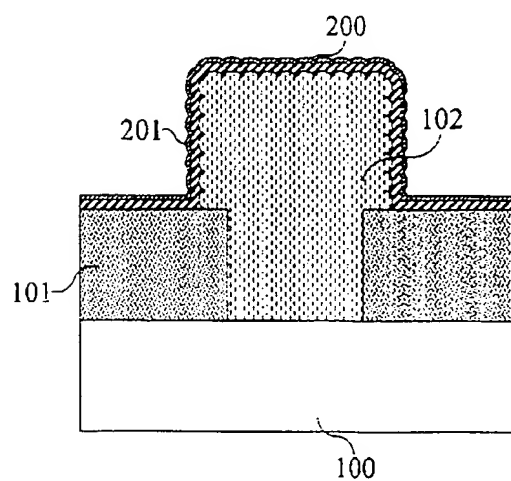
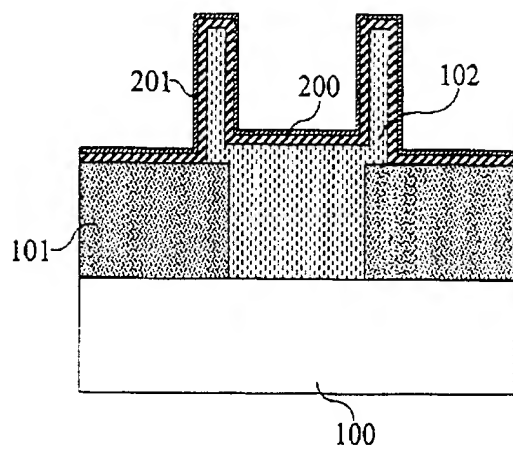


図 13

[Figure 13]



Bibliographic Fields

Document Identity

(19) 発行国 *

日本国特許庁

(12) 公報種別 *

公開特許公報 ...

(11) 公開番号 *

特開

(43) 公開日 *

平成 .. 年 .. 月 .. 日

Public Availability

(43) 公開日 *

平成 .. 年 .. 月 .. 日

Technical

(54) 発明 * 名称 *

原子層蒸着方法 * 形成
.. .. 複合誘電体膜 * 持
.. 製造方法

(51) 国際特許分類第 7 版 *

H01L 27/108

21/8242

F1 *

H01L 27/10 651

請求項 * 数 *

..

出願形態 *

..

全頁数 *

.

.. .. (参考) *

5F083

F .. (参考) *

5F083 AD24 AD42 AD62 HA10 JA01

(19) [Publication Office]

Japan Patent Office (JP)

(12) [Kind of Document]

Unexamined Patent Publication (A)

(11) [Publication Number of Unexamined Application]

Japan Unexamined Patent Publication 2000 - 58777 (P2000 - 58777A)

(43) [Publication Date of Unexamined Application]

2000 February 25 days (2000.2 . 25)

(43) [Publication Date of Unexamined Application]

2000 February 25 days (2000.2 . 25)

(54) [Title of Invention]

**CAPACITOR AND MANUFACTURING METHOD
WHICH HAVE ALUMINA/ALUMINUM NITRIDE
COMPOUND DIELECTRIC FILM WHICH
WASFORMED WITH ATOMIC LAYER VAPOR
DEPOSITION METHOD**

(51) [International Patent Classification, 7th Edition]

H01L 27/108

21/8242

[FI]

H01L 27/10 651

[Number of Claims]

19

[Form of Application]

OL

[Number of Pages in Document]

9

[Theme Code (For Reference)]

5 F083

[F Term (For Reference)]

5 F083 AD24 AD42 AD62 HA10 JA01

Filing

審査請求・

{Request for Examination}

未請求

Unrequested

(21) 出願番号・

(21) [Application Number]

特願平・・・・

Japan Patent Application Hei 10 - 363259

(22) 出願日・

(22) [Application Date]

平成・・・年・・・月・・・日・・・・

1998 December 21 day (1998.12 . 21)

Foreign Priority

(31) 優先権主張番号・

(31) [Priority Application Number]

・・・・

98 P32638

(32) 優先日・

(32) [Priority Date]

平成・・・年・・・月・・・日・・・・

1998 August 12 days (1998.8 . 12)

(33) 優先権主張国・

(33) [Priority Country]

韓国・・・・

South Korea (KR)

Parties

Applicants

(71) 出願人・

(71) [Applicant]

識別番号・

[Identification Number]

・・・・

390019839

氏名又・名称・

[Name]

三星電子株式会社

SAMSUNG

住所又・居所・

[Address]

大韓民国京畿道水原市八達区梅灘洞・・・・

Republic of Korea Kyonggi Do Suwon City P'aldal-gu
Maetan-dong 416

Inventors

(72) 発明者・

(72) [Inventor]

氏名・

[Name]

李鍾鎬

Japanese plum Atsumi ridges on side of a sword

住所又・居所・

[Address]

大韓民国京畿道軍浦市山峰洞極東・・・・
棟・・・・号Republic of Korea Kyonggi Do troop inlet city crest apex
dong Far Eastern ・ per jp7 966 tower 604 number

(72) 発明者・

(72) [Inventor]

氏名・

[Name]

金栄寛

gold Sakae Hiroshi

住所又・居所・

[Address]

大韓民国京畿道城南市盆唐区瑞・・・・洞・

Republic of Korea Kyonggi Do Songnam City tray China Ku

1/9/1

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06473202 **Image available**

CAPACITOR COMPRISING ALUMINA/ALUMINUM NITRIDE COMPOSITE DIELECTRIC FILM
FORMED BY ATOMIC LAYER VAPOR-DEPOSITION METHOD, AND ITS MANUFACTURE

PUB. NO.: 2000-058777 [JP 2000058777 A]

PUBLISHED: February 25, 2000 (20000225)

INVENTOR(s): RI SHOKO
KIN EIKAN
RI SOMIN
SAI JOSAI

APPLICANT(s): SAMSUNG ELECTRONICS CO LTD

APPL. NO.: 10-363259 [JP 98363259]

FILED: December 21, 1998 (19981221)

PRIORITY: 9832638 [KR 9832638], KR (Korea) Republic of, August 12, 1998
(19980812)

INTL CLASS: H01L-027/108; H01L-021/8242

ABSTRACT

PROBLEM TO BE SOLVED: To trigger no chemical reaction even when a conductive polysilicon is used as a lower part electrode in succession in a semiconductor DRAM process, by forming a composite dielectric film comprising an alumina layer and an aluminum nitride layer on the upper part of a conductive layer with a pattern by an atomic layer vapor-deposition method.

SOLUTION: A silicon oxide film 101 is formed on a semiconductor substrate 100 first, and a storage polysilicon 102 is formed as a lower part electrode constituting a charge storage capacitor, over which an alumina 103 is formed by an atomic layer vapor-deposition method. Being amorphous, the alumina film is excellent in step coverage, almost to 100%. Then the alumina layer 103 and an aluminum nitride layer 104 are repeatedly formed by the atomic layer vapor-deposition method in situ, forming an Al₂O₃/AlN composite dielectric thin film 115, over which a doped polysilicon is vapor-deposited to form the upper part electrode of a DRAM capacitor.

COPYRIGHT: (C)2000,JPO

Trying 31060000009999...Open

DIALOG INFORMATION SERVICES

PLEASE LOGON:

***** HHHHHHHH SSSSSSSS? ### Status: Signing onto Dialog *****

ENTER PASSWORD:

***** HHHHHHHH SSSSSSSS? *****

Welcome to DIALOG

Status: Login successfulDialog level 03.04.00D

Last logoff: 24oct03 13:20:35

Logon file001 27oct03 14:28:48

*** ANNOUNCEMENT ***

--File 654 - US published applications from March 15, 2001 to the present are now online. Please see HELP NEWS 654 for details.

--File 581 - The 2003 annual reload of Population Demographics is complete. Please see Help News581 for details.

--File 990 - NewsRoom now contains February 2003 to current records.
File 992 - NewsRoom 2003 archive has been newly created and contains records from January 2003. The oldest months's records roll out of File 990 and into File 992 on the first weekend of each month.
To search all 2003 records BEGIN 990, 992, or B NEWS2003, a new OneSearch category.

--Connect Time joins DialUnits as pricing options on Dialog.
See HELP CONNECT for information.

--SourceOne patents are now delivered to your email inbox as PDF replacing TIFF delivery. See HELP SOURCE1 for more information.

--Important news for public and academic libraries. See HELP LIBRARY for more information.

--Important Notice to Freelance Authors--
See HELP FREELANCE for more information

NEW FILES RELEASED

***World News Connection (File 985)
***Dialog NewsRoom - 2003 Archive (File 992)
***TRADEMARKSCAN-Czech Republic (File 680)
***TRADEMARKSCAN-Hungary (File 681)
***TRADEMARKSCAN-Poland (File 682)

UPDATING RESUMED

RELOADED

***Population Demographics -(File 581)
***CLAIMS Citation (Files 220-222)

REMOVED

>>> Enter BEGIN HOMEBASE for Dialog Announcements <<<
>>> of new databases, price changes, etc. <<<

File 1:ERIC 1966-2003/Oct 06
(c) format only 2003 The Dialog Corporation

Set	Items	Description
---	-----	-----
Cost is in DialUnits		
? b 347		
Terminal set to DLINK		
? s an=10-363259		
	27oct03 14:28:51	User032797 Session D3283.1
	\$0.29	0.084 DialUnits File1
\$0.29	Estimated cost File1	
\$0.29	Estimated cost this search	
\$0.29	Estimated total session cost 0.084 DialUnits	

File 347:JAPIO Oct 1976-2003/Jun(Updated 031006)
(c) 2003 JPO & JAPIO
***File 347: JAPIO data problems with year 2000 records are now fixed.**
Alerts have been run. See HELP NEWS 347 for details.

Set	Items	Description
---	-----	-----
? s an=10363259		
	S1	1 AN=10-363259
? s pn=2000-58777		
	S2	1 AN=10363259
? s pn=		
	S3	0 PN=2000-58777
?		
>>>Possible typing error near end of command		
? t 1/9/1		

1/9/1
DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

06473202 **Image available**
CAPACITOR COMPRISING ALUMINA/ALUMINUM NITRIDE COMPOSITE DIELECTRIC FILM
FORMED BY ATOMIC LAYER VAPOR-DEPOSITION METHOD, AND ITS MANUFACTURE

PUB. NO.: 2000-058777 [JP 2000058777 A]
PUBLISHED: February 25, 2000 (20000225)
INVENTOR(s): RI SHOKO
KIN EIKAN
RI SOMIN
SAI JOSAI
APPLICANT(s): SAMSUNG ELECTRONICS CO LTD
APPL. NO.: 10-363259 [JP 98363259]
FILED: December 21, 1998 (19981221)
PRIORITY: 9832638 [KR 9832638], KR (Korea) Republic of, August 12, 1998
(19980812)
INTL CLASS: H01L-027/108; H01L-021/8242

ABSTRACT

PROBLEM TO BE SOLVED: To trigger no chemical reaction even when a

conductive polysilicon is used as a lower part electrode in succession in a semiconductor DRAM process, by forming a composite dielectric film comprising an alumina layer and an aluminum nitride layer on the upper part of a conductive layer with a pattern by an atomic layer vapor-deposition method.

SOLUTION: A silicon oxide film 101 is formed on a semiconductor substrate 100 first, and a storage polysilicon 102 is formed as a lower part electrode constituting a charge storage capacitor, over which an alumina 103 is formed by an atomic layer vapor-deposition method. Being amorphous, the alumina film is excellent in step coverage, almost to 100%. Then the alumina layer 103 and an aluminum nitride layer 104 are repeatedly formed by the atomic layer vapor-deposition method in situ, forming an Al₂O₃/AlN composite dielectric thin film 115, over which a doped polysilicon is vapor-deposited to form the upper part electrode of a DRAM capacitor.

COPYRIGHT: (C)2000,JPO

? save temp

Temp SearchSave "TD947" stored

? logoff

27oct03 14:29:47 User032797 Session D3283.2

\$4.80 0.438 DialUnits File347

\$1.60 1 Type(s) in Format 9

\$1.60 1 Types

\$6.40 Estimated cost File347

\$0.22 TELNET

\$6.62 Estimated cost this search

\$6.91 Estimated total session cost 0.522 DialUnits

Logoff: level 03.04.00 D 14:29:47

You are now logged off